

4 通道，低功耗，集成片上 PGA、基准和电流源的 $\Delta - \Sigma$ 型模数转换器

1. 产品描述

LTD2X20 系列是 16 位 (LTD2120) /24 位 (LTD2220) 的 4 通道，低功耗，集成片上 PGA、基准和独立电流源的 $\Delta - \Sigma$ 型模数转换器。器件的单芯片高集成度可以帮助客户有效的降低系统方案成本，达到单芯片实现系统级高精度测试的目的。功能模块包括：低噪声可编程增益放大器、低温漂高精度片上基准、支持 2 差分或 4 单端输入的通道选择器，两个可独立配置的激励电流源、高精度时钟、低边切换开关以及一个高精度温度传感器。典型应用场景有模拟输入/输出模块、DCS/PLC 和精密衡器等。

器件能够以高达 2000 次/秒 (SPS) 采样数据转换速率执行转换，并且能够在单周期内稳定。针对存在大量工频噪声干扰的工业应用，配置采样频率为 20SPS 时，数字滤波器可提供 50 Hz 和 60 Hz 同步工频陷波，有效提高转换精度。片上 PGA 可以提供高达 128 倍的增益，因此 LTD2X20 非常适用于小型传感器信号测量应用，例如电阻式温度检测器 (RTD)、热电偶、热敏电阻和阻性桥式传感器。相对的，器件也可以配置成 PGA 旁路模式来进一步降低输入噪声。PGA 旁路模式可以在单端输入的情况下配置，提供最大 4 倍增益以及足够大的输入阻抗。

器件在 Duty-cycle 和 PGA 旁路模式下，工作电流仅需要 120 μ A。

器件提供 4 mm * 4 mm 的 VQFN-16L 和 5 mm * 4.4 mm 的 TSSOP-16L 两种小尺寸封装。手册中的所有测试数据，除了有特殊说明的情况外，都在 -40°C 到 125°C 下进行表征。

2. 特点与优势

- 低功耗：在 Duty-cycle 模式下低至 120 μ A
- 宽供电范围：2.3 V ~ 5.5 V
- 可编程增益：1 ~ 128 倍
- 数据转换速率：最大 2k SPS
- 有效分辨率：16 位 (LTD2120) /20 位 (LTD2220)
- 单周期稳定模式 20 SPS 速率下 50 Hz & 60 Hz 同步工频陷波
- 两路差分或 4 路单端输入
- 两路低失配独立可编程电流源：50 μ A ~ 1.5 mA
- 片上 2.048 V 基准：温漂仅 5 ppm/°C (typ.)
- 片上高精度时钟：误差 1%
- 片上温度传感器：误差 1°C
- SPI 兼容接口
- 小封装：4 mm * 4 mm VQFN-16L

3. 典型应用

- 温度传感器测量：
 - 热敏电阻
 - 热电偶
 - 电阻式温度检测器 (RTD)：2 线、3 线或 4 线制类型
- 电阻桥式传感器测量：
 - 压力传感器
 - 应力计
 - 衡器

4 通道, 低功耗, 集成片上 PGA、基准和电流源的 Δ - Σ 型模数转换器

- 便携式仪表
- 工厂自动化和过程控制温度与压力测量

4. 引脚定义与功能（俯视示意图）

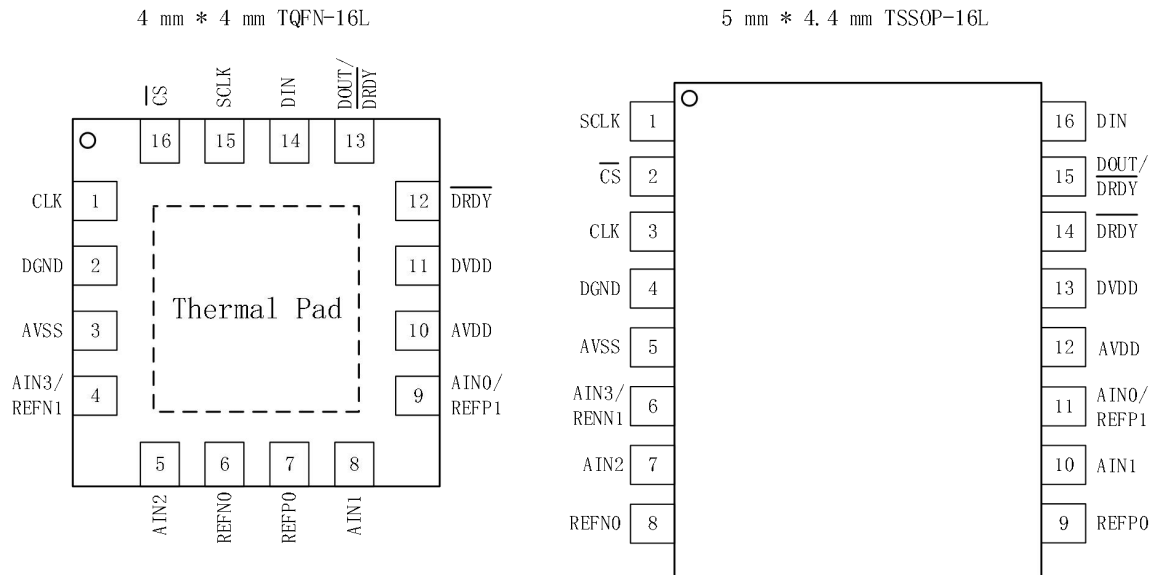


图 1 引脚定义

引脚名称	引脚编号		描述
	VQFN	TSSOP	
AIN0/REFP1	9	11	模拟输入 0/基准正输入 1
AIN1	8	10	模拟输入 1
AIN2	5	7	模拟输入 2
AIN3/REFN1	4	6	模拟输入 3/基准负输入 1, 内部通过低边切换开关与负模拟供电连接
AVDD	10	12	正模拟供电
AVSS	3	5	负模拟供电
CLK	1	3	外部时钟, 如不使用外部时钟则需要接 DGND
CS	16	2	片选, 低电平有效。如不使用片选则需要接 DGND
DGND	2	4	数字接地
DIN	14	16	串行输入输入
DOUT/DRDY	13	15	串行数据输出/数据就绪, 低电平有效
DRDY	12	14	数据就绪, 低电平有效
DVDD	11	13	数字供电
REFNO	6	8	基准负输入 0
REFP0	7	9	基准正输入 1
SCLK	15	1	串行时钟输入
Thermal pad		NA	散热片。不做电路连接, 或仅接到 AVSS

4 通道, 低功耗, 集成片上 PGA、基准和电流源的 $\Delta - \Sigma$ 型模数转换器

Table of Contents

1. 产品描述	1	10.4. Burn-out 电流源	12
2. 特点与优势	1	10.5. 传感器激励电流源 (IDAC1 与 IDAC2)	12
3. 典型应用	1	10.6. 过采样	12
4. 引脚定义与功能 (俯视示意图)	2	10.7. 调制器	12
5. 器件比较	4	10.8. 数字滤波器	13
6. 功能模块图	4	11. 器件模式	13
7. 订购信息	4	11.1. 上电与复位	13
8. 性能	4	11.2. 数据转换模式	13
8.1. 极限值	4	11.2.1. Single-shot 模式	13
8.2. ESD 等级	4	11.2.2. 连续转换模式	13
8.3. 推荐工作条件	5	11.3. 工作模式	13
8.4. 电性能	5	11.3.1. 正常模式	13
8.5. 时序要求	6	11.3.2. Duty-cycle 模式	13
8.6. 开关特性	7	11.3.3. Turbo 模式	14
9. 噪声性能	7	11.3.4. 关断模式	14
9.1. LTD2120 的有效位数与无噪声位数	8	11.4. 串行接口与操作指令	14
9.2. LTD2220 的有效位数与无噪声位数	8	11.4.1. SPI	14
10. 特点描述	9	11.4.2. 操作指令	14
10.1. 模拟输入与多路选择器	9	12. 寄存器映射	14
10.1.1. ESD 保护二极管	9	12.1. 寄存器描述	15
10.1.2. 供电电压回采	9	12.1.1. CONFIG0 (地址 = 00h)	15
10.1.3. 连接内部共模电压	10	12.1.2. CONFIG1 (地址 = 01h)	15
10.2. 可编程增益放大器 (PGA)	10	12.1.3. CONFIG2 (地址 = 02h)	16
10.3. 电压基准	11	12.1.4. CONFIG3 (地址 = 03h)	17
10.3.1. 片上基准	12	13. 封装信息	18
10.3.2. 外部基准	12	TSSOP-16L	18
10.3.3. AVDD - AVSS 作为参考电压	12	VQFN-16L	19

List of Figures

图 1 引脚定义	2	图 5 模拟输入与多路选择器	9
图 2 功能模块图	4	图 6 PGA 模块示意图	10
图 3 串行接口时序要求	7	图 7 PGA 输入输出电压范围推导过程	11
图 4 串行接口开关特性	7		

List of Tables

表格 1 LTD2120 的有效位数 (无噪声位数) 性能	8
表格 2 LTD2120 在 PGA 旁路模式下的有效位数 (无噪声位数) 性能	8
表格 3 LTD2220 的有效位数 (无噪声位数) 性能	8
表格 4 LTD2220 在 PGA 旁路模式下的有效位数 (无噪声位数) 性能	8
表格 5 Full-scale Input Range Vs. Gain @ $V_{REF}=2.048V$	14
表格 6 操作指令	14
表格 7 寄存器映射	14

4 通道, 低功耗, 集成片上 PGA、基准和电流源的 Δ - Σ 型模数转换器

5. 器件比较

型号	分辨率 (位)	有效分辨率 (位)
LTD2120	16	16
LTD2220	24	20

6. 功能模块图

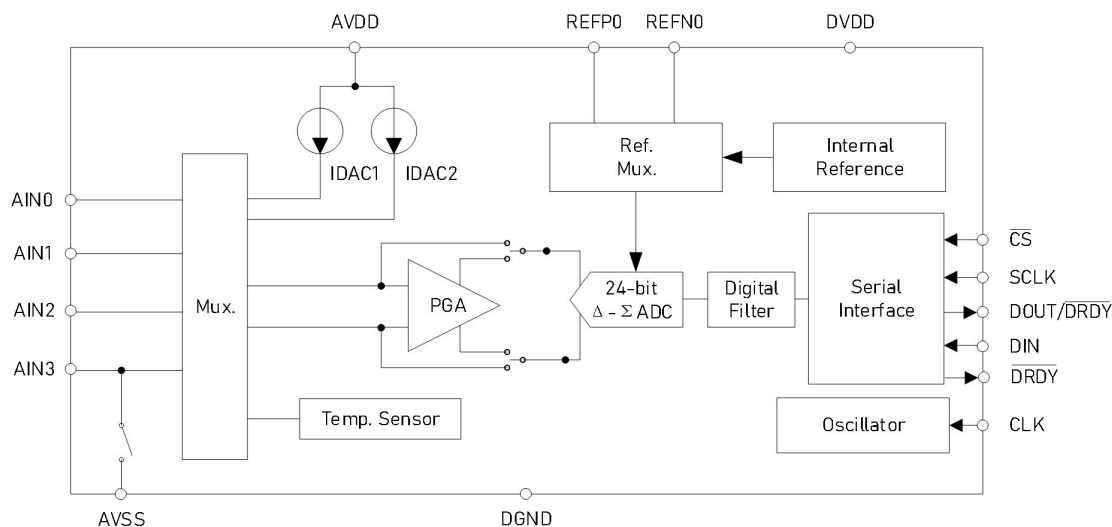


图 2 功能模块图

7. 订购信息

器件型号	封装	数量	丝印
LTD2120XF16/R10	VQFN-16L	Tape and Reel, 5000	D2120
LTD2120XT16/R10	TSSOP-16L	Tape and Reel, 5000	D2120
LTD2220XF16/R10	VQFN-16L	Tape and Reel, 5000	D2220
LTD2220XT16/R10	TSSOP-16L	Tape and Reel, 5000	D2220

8. 性能

8.1. 极限值

参数	最小值	最大值	单位
AVDD to AVSS	-0.3	7	V
AVSS to DGND	-2.8	0.3	V
DVDD to DGND	-0.3	7	V
模拟输入电压	AVSS - 0.3	AVDD + 0.3	V
数字输入电压	DGND - 0.3	DVDD + 0.3	V
持续输入电流 (除电源引脚)	-10	10	mA
结温度	-40	150	°C
储存温度	-60	150	°C

8.2. ESD 等级

4 通道, 低功耗, 集成片上 PGA、基准和电流源的 $\Delta - \Sigma$ 型模数转换器

Parameter	Level	UNIT
Human body model (HBM), per ANSI/ESDA/JEDEC JS-001, all pins	± 2000	V
Charged device model (CDM), per JEDEC specification JESD22-C101, all pins	± 500	V

8.3. 推荐工作条件

参数	测试条件	最小值	典型值	最大值	单位
供电					
单模拟电源供电	AVDD to AVSS	2.3		5.5	V
	AVSS to DGND	-0.1	0	0.1	V
双模拟电源供电	AVDD to AVSS	2.3	2.5	2.75	V
	AVSS to DGND	-2.75	-2.5	-2.3	V
数字电源供电	DVDD to DGND	2.3		5.5	V
模拟输入					
V_{AINX}	绝对输入电压范围	PGA mode	$AVSS + 0.2 + V_{IN} \times (Gain - 1) / 2$	$AVDD - 0.2 - V_{IN} \times (Gain - 1) / 2$	V
		PGA bypassed	AVSS - 0.1	AVDD + 0.1	
V_{CM}	共模输入电压范围	PGA mode	$AVSS + 0.2 + V_{IN} \times Gain / 2$	$AVDD - 0.2 - V_{IN} \times Gain / 2$	V
		PGA bypassed	AVSS - 0.1	AVDD + 0.1	
V_{IN}	差分输入电压	$V_{IN} = V_{AINP} - V_{AINN}$	$-V_{REF} / Gain$	$+V_{REF} / Gain$	V
参考电压输入					
V_{REF}	参考电压	0.75	2.5	AVDD	V
V_{REFNX}	负参考电压输入	AVSS - 0.1		$V_{REFPX} - 0.75$	V
V_{REFPX}	正参考电压输入	$V_{REFNX} + 0.75$		AVDD + 0.1	V
外部时钟					
f_{CLK}	频率	0.5	4.096	4.5	MHz
	占空比	40%		60%	
GPIO					
	输入电压	AVSS		AVDD	V
数字输入					
	输入电压	DGND		DVDD	V
温度					
T_A	环境温度	-45		125	°C

8.4. 电性能

电性能最大值和最小值在-40 到 125°C 温度范围内测得, 典型值在室温下测得, 测试条件: AVDD = 3.3 V, AVSS = 0 V, DVDD = 3.3 V, $V_{REF} = 2.5$ V, PGA mode, gain = 1, data rate = 20 SPS (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
性能					
无失码分辨率	LTD2120	16			Bits
	LTD2220	24			
DR	转换速率	正常模式	20, 45, 90, 175, 330, 600, 1000		SPS
		Duty-cycle 模式	5, 11.25, 22.5, 44, 82.5, 150, 250		
			40, 90, 180, 350, 660, 1200, 2000		
	噪声性能	请参考噪声性能部分			
INL	积分非线性	增益 = 1 to 128, VCM = 0.5 * AVDD	20		ppm _{FSR}
V_{OS}	失调电压	PGA 旁路模式	± 2		μV
		PGA 模式	± 2		
		PGA 旁路模式	0.1	0.3	
	失调电压温漂	PGA 模式, $T_A = -40 \sim 85^\circ C$	0.1	0.3	$\mu V/^\circ C$
		PGA 模式	0.3	0.5	
		PGA 旁路模式	0.2%		
GE	增益误差	PGA 模式	-0.5%	$\pm 0.2\%$	0.5%
		PGA 旁路模式		$\pm 0.2\%$	
	增益漂移	PGA 旁路模式	5		ppm/°C

4 通道, 低功耗, 集成片上 PGA、基准和电流源的 $\Delta - \Sigma$ 型模数转换器

		PGA 模式	5	20	
NMRR	工频抑制比	50Hz \pm 3%, 外部时钟, 50/60 位 = 10	105		dB
		60Hz \pm 3%, 外部时钟, 50/60 位 = 11	105		
		50Hz 或 60Hz \pm 3%, 外部时钟, 50/60 位 = 01	90		
CMRR	共模抑制比	直流输入, 增益 = 1	90	97	dB
		$f_{CM} = 50$ 或 60Hz, DR = 2000 SPS		116	
PSRR	电源抑制比	AVSS	80	105	dB
		DVDD	100	115	
片上时钟					
	时钟精度		-1%	\pm 0.6%	1%
电压参考输入					
	输入电流		180		nA
片上基准					
	输出电压		2.048		V
	温漂	$T_A = -40^\circ\text{C}$ to 125°C	3	30	ppm/ $^\circ\text{C}$
激励电流源 (IDACs)					
	输出电流档位		50, 100, 250, 500, 750, 1000, 1500		μA
	适配电压范围			AVDD - 0.9	V
	精确度		-3%	\pm 1%	3%
	匹配误差	IDAC1 与 IDAC2		\pm 0.3%	
	温漂	Absolute		150	ppm/ $^\circ\text{C}$
		Match drift, $I_{IDAC1} = I_{IDAC2}$		20	
温度传感器					
	精度		1		$^\circ\text{C}$
	温度系数		0.1		$^\circ\text{C}/\text{V}$
低边切换开关					
	导通电阻		3		Ω
	电流耐受			30	mA
数字输入/输出					
V_{OL}	输出低电平	$I_{OL} = 3\text{ mA}$		$0.2 \times \text{DVDD}$	V
		$I_{OL} = 3\text{ mA}$		$0.2 \times \text{DVDD}$	
V_{OH}	输出高电平	$I_{OH} = 1\text{ mA}$	$0.8 \times \text{DVDD}$		V
		$I_{OH} = 8\text{ mA}$		$0.75 \times \text{DVDD}$	
V_{IL}	输入低电平			$0.3 \times \text{DVDD}$	V
V_{IH}	输入高电平		$0.7 \times \text{DVDD}$	DVDD	V
	输入漏电流		-10	10	μA
供电					
I_{AVDD} , I_{AVSS}	模拟供电电流	Duty-cycle 模式, PGA 旁路模式	135		μA
		Duty-cycle 模式, 增益 = 1 to 16	160		
		Duty-cycle 模式, 增益 = 32	172		
		Duty-cycle 模式, 增益 = 64, 128	182		
		正常模式, PGA 旁路模式	342		
		正常模式, 增益 = 1 to 16	448		
		正常模式, 增益 = 32	499		
		正常模式, 增益 = 64, 128	550		
		Turbo 模式, PGA 旁路模式	402		
		Turbo 模式, 增益 = 1 to 16	613		
		Turbo 模式, 增益 = 32	715		
		Turbo 模式, 增益 = 64, 128	817		
		Power-down mode	0.05		
			Duty-cycle 模式	44	
I_{DVDD}	数字供电电流	正常模式	43		μA
		Turbo 模式	73		
		Power-down mode	1.3		

8.5. 时序要求

4 通道, 低功耗, 集成片上 PGA、基准和电流源的 $\Delta - \Sigma$ 型模数转换器

在全温区范围内表征。测试条件: DVDD = 2.3 V to 5.5 V

参数		MIN	MAX	UNIT
串行接口				
$t_{d(CSSC)}$	Delay time, first SCLK rising edge after CS falling edge	50		ns
$t_{su(DI)}$	Setup time, DIN valid before SCLK falling edge	50		ns
$t_{h(DI)}$	Hold time, DIN valid after SCLK falling edge	25		ns
$t_c(SC)$	SCLK period	150		ns
$t_w(SCH), t_w(SCL)$	Pulse duration, SCLK high or low	60		ns
$t_d(SCCS)$	Delay time, last SCLK falling edge before CS rising edge	25		ns
$t_w(CSH)$	Pulse duration, CS high to reset interface	50		ns
$t_d(SCIR)$	Delay time, SCLK high or low to force interface auto-reset in normal & Duty-cycle mode		13955	$1/f_{CLK}$
	Delay time, SCLK high or low to force interface auto-reset in Turbo mode		27910	

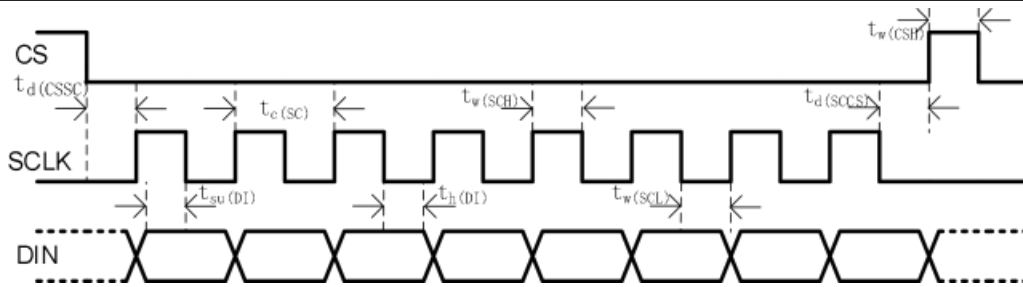


图 3 串行接口时序要求

8.6. 开关特性

在全温区范围内表征。测试条件: DVDD = 2.3 V to 5.5 V

Parameter		MIN	TYP	MAX	UNIT
串行接口					
$t_p(CSD0)$	Propagation delay time, CS falling edge to DOUT/DRDY driven			50	ns
$t_p(SCD0)$	Propagation delay time, SCLK rising edge to valid DOUT/DRDY			25	ns
$t_p(CSD0Z)$	Propagation delay time, CS rising edge to DOUT/DRDY high impedance			50	ns

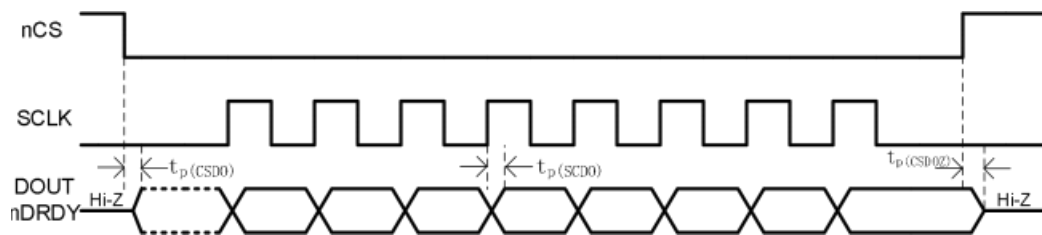


图 4 串行接口开关特性

9. 噪声性能

LTD2X20 基于过采样原理进行数据处理和转换。输入信号在高频下（调制器频率）进行采样，随后在数字域中进行滤波和抽取，从而在相应输出数据转换速率下生成结果。调制器频率与输出数据转换速率的比值称为过采样率（OSR）。通过增加 OSR 也就是降低输出数据转换速率，ADC 的噪声性能可以被进一步优化。即当数据转换速率下降时，每输出一个转换结果需要对内部调制器的更多样本求取平均值，因此折合到输入端噪声会下降。提高增益倍数同样能够降低折合到输入端噪声，这在测量小信号时非常有效。

利用以下公式，可以根据噪声性能（AVDD=3.3 V, AVSS = 0 V, 片上 2.048 V 基准）计算出 LTD2X20 的有效位数和无噪声位

4 通道, 低功耗, 集成片上 PGA、基准和电流源的 $\Delta - \Sigma$ 型模数转换器

数:

$$\text{ENOB} = \ln(\text{Full-Scale Range}/V_{\text{RMS-NOISE}}) / \ln(2)$$

$$\text{Noise-Free Bits} = \ln(\text{Full-Scale Range}/V_{\text{PP-NOISE}}) / \ln(2)$$

$$\text{Full-Scale Range} = 2 * V_{\text{ref}} / \text{Gain}$$

9.1. LTD2120 的有效位数与无噪声位数

表格 1 LTD2120 的有效位数 (无噪声位数) 性能

数据转换率 (SPS)	增益倍数							
	1	2	4	8	16	32	64	128
20	16(15)	16(15)	16(15)	16(15)	16(15)	16(15)	16(15)	16(15)
45	16(15)	16(15)	16(15)	16(15)	16(15)	16(15)	16(15)	16(15)
90	16(15)	16(15)	16(15)	16(15)	16(15)	16(15)	16(15)	16(14.42)
175	16(15)	16(15)	16(15)	16(15)	16(15)	16(14.42)	16(14.42)	15.86(13.42)
330	16(15)	16(15)	16(15)	16(15)	16(15)	16(14.42)	16(14.42)	15.74(13.19)
600	16(15)	16(14.42)	16(14.42)	16(14.42)	16(14.42)	16(14)	16(13.42)	15.32(13)
1000	16(15)	16(15)	16(14.42)	16(14.42)	16(14)	16(14)	16(13.42)	15.07(12.54)

表格 2 LTD2120 在 PGA 旁路模式下的有效位数 (无噪声位数) 性能

数据转换率 (SPS)	增益倍数		
	1	2	4
20	16(15)	16(15)	16(16)
45	16(15)	16(15)	16(16)
90	16(15)	16(15)	16(15)
175	16(15)	16(15)	16(15)
330	16(15)	16(15)	16(15)
600	16(14.42)	16(14.42)	16(14.42)
1000	16(14.42)	16(14.42)	16(14.42)

9.2. LTD2220 的有效位数与无噪声位数

表格 3 LTD2220 的有效位数 (无噪声位数) 性能

数据转换率 (SPS)	增益倍数							
	1	2	4	8	16	32	64	128
20	18.84(16.51)	18.18(16.32)	18.25(15.86)	17.89(16.15)	17.69(15.86)	18.18(16.32)	17.89(15.86)	17.51(15.62)
45	18.25(16.15)	18.06(16.15)	18.18(16.15)	17.6(15.42)	18.06(15.86)	17.47(15.42)	17.56(15.42)	17.6(15.23)
90	17.69(15.62)	17.94(15.86)	17.94(15.86)	18(16)	17.43(15.42)	17.79(15.74)	17.4(15.42)	16.25(14.23)
175	17.79(15.74)	17.64(15.74)	17.51(15.74)	17.43(15.51)	17.4(15.32)	17.18(15.32)	16.69(14.51)	16.2(14.42)
330	17.89(16)	17.4(15)	17.03(15)	17.15(15)	17.51(15.23)	16.71(14.57)	16.12(14)	15.41(13.51)
600	16.58(14.74)	17.03(15.15)	16.84(14.74)	16.84(15.15)	16.6(14.74)	16.51(14.74)	15.79(13.93)	14.89(12.91)
1000	16.49(14.42)	16.27(14)	16.71(15)	16.15(14)	16.64(15)	16.1(14.42)	15.69(13.42)	14.56(12.66)

表格 4 LTD2220 在 PGA 旁路模式下的有效位数 (无噪声位数) 性能

数据转换率 (SPS)	增益倍数		
	1	2	4
20	18.06(16.15)	18.06(15.86)	17.56(15.42)
45	17.89(15.86)	18.25(16.32)	17.64(15.86)

4 通道, 低功耗, 集成片上 PGA、基准和电流源的 $\Delta - \Sigma$ 型模数转换器

90	17.89(16)	18.18(16.51)	17.84(15.51)
175	18.47(16.51)	17.89(15.86)	17.74(15.51)
330	17.6(15.62)	17.43(15.62)	17.22(15.23)
600	17.03(14.74)	17(15.15)	17.29(15.15)
1000	16.42(14.42)	16.54(15)	17.18(15)

10. 特点描述

10.1. 模拟输入与多路选择器

图 5 展示了 LTD2X20 模拟输入部分的电路结构示意图, 主要由 ESD 保护二极管、输入多路选择器和 Burn-out 电流源组成。LTD2X20 共有 4 个模拟输入端口, 支持 4 路单端信号输入或者 2 路差分信号输入, 或 2 路单端和 1 路差分混合应用。当输入单端信号时, PGA 负输入端会自动通过低边开关切换到 AVSS。除了外部模拟信号输入外, LTD2X20 还可以切换成 3 种内部信号输入。

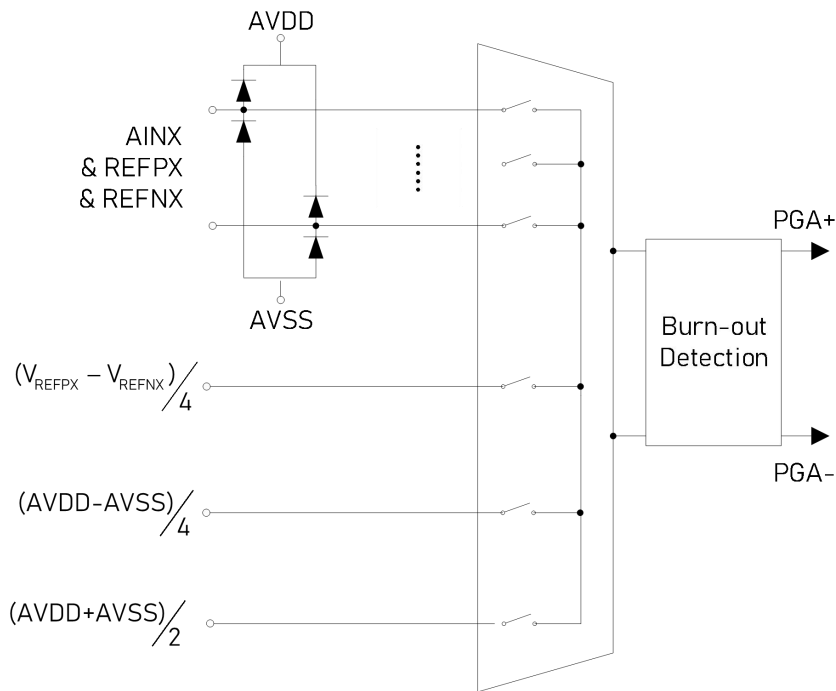


图 5 模拟输入与多路选择器

10.1.1. ESD 保护二极管

ESD 保护二极管被集成在了所有的输入端口, 用来保护器件免受在生产制造或者 PCB 贴片过程中可能遭受到的 ESD 冲击。除了片上的 ESD 保护二极管外, 如果用户希望在系统层级进一步对器件进行 ESD 防护, 可以对暴露在潜在 ESD 冲击下的引脚增加外部 ESD 保护器件, 来实现两级 ESD 防护。

由于 ESD 保护二极管的存在, 模拟输入引脚会被钳位在 $AVDD + 0.3\text{ V}$ 和 $AVSS - 0.3\text{ V}$ 。如果输入引脚电压超过这个电压限制, 那么 ESD 二极管会开启, 过大的正向电流有可能会使器件永久性损坏。因此, 如果此类工况有机会发生, 则需要使用外部钳位二极管, 或者限流电阻, 或者两者结合使用来确保输入电流不会超过其额定最大值。

10.1.2. 供电电压回采

4 通道, 低功耗, 集成片上 PGA、基准和电流源的 $\Delta - \Sigma$ 型模数转换器

通过配置多路选择器来采集模拟或者数字供电的电压。为了保证采集到的电压值在最大输入电压范围内, 输入到 PGA 的电压是实际供电电压的 1/4。可采集的供电电压由下方关系式表示:

$$\text{Analog Supply (V)} = (\text{AVDD} - \text{AVSS}) / 4$$

10.1.3. 连接内部共模电压

通过配置多路选择器使 PGA 输入端短接到 V_{COM} 共模电压, 共模电压值由下方关系式展示。在这种配置下, 用户可以测量 ADC 的噪声性能、失调电压或者用于失调电压的校准。

$$V_{\text{COM}} = (\text{AVDD} + \text{AVSS}) / 2$$

10.2. 可编程增益放大器 (PGA)

LTD2X20 集成了一个低噪声差分输入差分输出的可编程增益放大器 (PGA)。PGA 本身支持从单位增益到 32 倍增益的信号放大, ADC 支持 2 倍和四倍增益的信号放大。综合下来, 器件可以支持单位增益到 128 倍增益的信号放大, 这对于小信号的应用场景是必要的。PGA 的增益可以通过配置 CONFIG0 寄存器中的 GAIN[2:0] 来改变。在特定的应用场景中, 如果不需要使用 PGA 进行信号调理, 可以使用 PGA bypass 模式, 在此模式下, PGA 会处于关断状态并且信号会绕过 PGA 直接进入调制器中, 此时的电压输入范围直接由模拟供电电压范围决定。

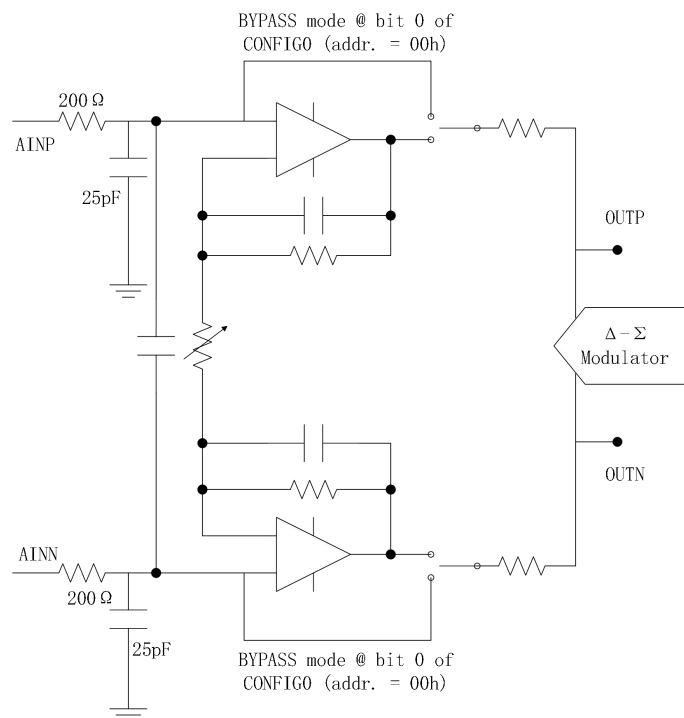


图 6 PGA 模块示意图

PGA 使用了两个自稳零的运放来组成差分输入差分输出的放大器结构。在 PGA 的输入端集成了 RC 滤波器, 用于抑制电磁干扰带来的噪声。PGA 的增益倍数由一个高度匹配的精密电阻网络决定, 它的高匹配度也使得器件具有很低温漂特性和高共模抑制性能。

器件的满幅度差分输入范围是由 PGA 的增益倍数和参考电压大小决定的。下表展示了在使用 2.048V 参考电压的情况下, PGA 增益和满幅度差分输入范围的对应关系。

4 通道, 低功耗, 集成片上 PGA、基准和电流源的 $\Delta - \Sigma$ 型模数转换器表格 5 Full-scale Input Range Vs. Gain @ $V_{REF}=2.048\text{ V}$

GAIN[2:0] Bits	Gain	Full-scale Input Range
000	1	± 2.048
001	2	$\pm 1.024\text{V}$
010	4	$\pm 0.512\text{V}$
011	8	$\pm 0.256\text{V}$
100	16	$\pm 0.128\text{V}$
101	32	$\pm 0.064\text{V}$
110	64	$\pm 0.032\text{V}$
111	128	$\pm 0.016\text{V}$

为了避免 PGA 非线性放大造成的误差, 用户需要保证输入信号在模拟输入电压的绝对输入范围内。当输出电压高于 $AVDD - 0.2\text{ V}$ 或者低于 $AVSS + 0.2\text{ V}$ 时, PGA 就会进入非线性放大区域。由于 PGA 采用了对称结构输入输出的共模电压可认为相同。因此, 可换算出模拟输入电压需要满足以下关系式:

$$AVSS + 0.2\text{V} + V_{IN} * (\text{GAIN} - 1) / 2 < V_{AINP}$$

$$V_{AINN} < AVDD - 0.2\text{V} - V_{IN} * (\text{GAIN} - 1) / 2$$

其中 V_{AINX} = 绝对输入电压, V_{IN} = 满幅度输入电压。

同理, 可以推导出共模电压范围范围:

$$AVSS + 0.2\text{V} + V_{IN} * \text{GAIN} / 2 < V_{CM_MIN}$$

$$V_{CM_MAX} < AVDD - 0.2\text{V} - V_{IN} * \text{GAIN} / 2$$

图 7 中解释了模拟输入绝对电压范围的推导过程。

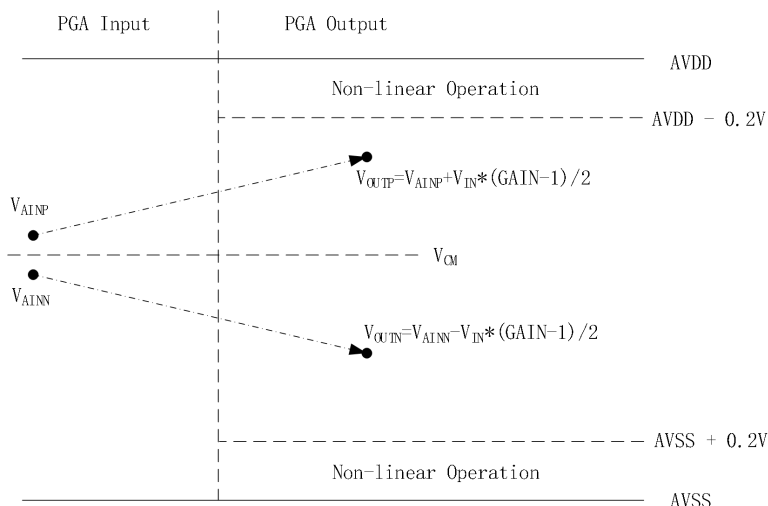


图 7 PGA 输入输出电压范围推导过程

10.3. 电压基准

LTD2X20 提供了多种方式来给 ADC 提供电压基准。用户可以使用片上的 2.048 V 高精度基准, 或通过输入端口使用外置基准,

4 通道，低功耗，集成片上 PGA、基准和电流源的 $\Delta - \Sigma$ 型模数转换器

也可以设置模拟供电电压作为电压基准。电压基准需要通过多路选择器分别选择正负参考电压输入端。默认设置的参考电压源片上高精度基准。

通过配置 CONFIG2 寄存器中的 VREF[1:0] 来选择参考电压来源。

10.3.1. 片上基准

在使用片上基准时，为了保证数据转换的精度和稳定性，需要在参考电压完全稳定了之后在开始进行数据转换，通常要求不少 25 μs 。在片上基准开启时，由于瞬时的电流变化，可能会在供电电源上出现一个瞬态电压降。如果在应用中需要用到电流激励源，则需要先开启参考电压。

10.3.2. 外部基准

通过配置 VREF[1:0] 可以选择使用外部基准。如果需要使用多个外部基准，用户需要将外部基准共地并输入到器件。在选用外部基准的时候还需要注意基准的输出阻抗和输入端的输入阻抗，来保证基准电压的精确度。

10.3.3. AVDD - AVSS 作为参考电压

器件可以使用模拟供电电压作为参考电压。在 6 线制电桥式测量应用，或者 AC 激励应用中，将电桥供电作为参考电压输入到器件。

10.4. Burn-out 电流源

器件集成了一个 burn-out 电流源来检测探测器是否处于烧毁或者断开状态。两个电流源分别驱动 PGA 正负输入端。拉电流驱动 PGA 正输入端，灌电流驱动 PGA 负输入端。一旦传感器出现烧毁或者断开的情况，输出钳位在最大可输出正电压。如果传感器短路，则输出接近 0 V 的电压。

10.5. 传感器激励电流源 (IDAC1 与 IDAC2)

器件集成了两个高度匹配的电流源来提供激励电流给到电阻温度传感器、热敏电阻和需要用到恒定电流偏置的传感器。电流源输出端可以通过 CONFIG3 寄存器中的 I1MUX[2:0] 和 I2MUX[2:0] 位配置到任意的模拟输入端。电流源输出电流幅度可以通过 CONFIG2 寄存器中的 IDAC[2:0] 来进行配置。两个电流源的电流幅度可以从 50 μA 到 1500 μA 中选择。详细信息可以在寄存器映射中查看。

在使用片上基准时，需要将电流源开启。通过将两个电流源配置到同一输出端，电流幅度可以被配置到最大两倍额定输出值，或者其中一个中间值。考虑到需要驱动电阻负载，引脚的电压值需要在手册规定电压范围内，否则电流精度会降低。

10.6. 过采样

器件采用了过采样原理提高 ADC 的噪声性能。通过过采样将 ADC 的量化噪声整形到高的频带，再通过数字滤波器滤除阻带外的噪声来减少总的量化噪声。再通过数字滤波器进行数据抽取来恢复转换速率。

10.7. 调制器

调制器以 $f_{\text{CLK}}/16$ (Turbo 模式下为 $f_{\text{CLK}}/8$) 的采样率采集被 PGA 放大后的信号，并参考基准电压转换成 0-1 数据流。调制器将量化噪声再整形到更高频带，并通过数字滤波器滤除。

4 通道，低功耗，集成片上 PGA、基准和电流源的 $\Delta - \Sigma$ 型模数转换器

10.8. 数字滤波器

在模拟信号被调制并转换成 0-1 数据流之后，数字滤波器进行接收、滤波和抽取来实现高性能数据转换。通过切换滤波器类型，用户可以在转换精度、数据转换速率和工频陷波等功能性能之间权衡。当器件工作在 5 SPS 和 20 SPS 时，可以配置滤波器的 50/60Hz 陷波来实现对工频噪声的抑制。具体用法见寄存器描述部分。

11. 器件模式

11.1. 上电与复位

当器件上电之后，会立刻开始执行复位流程，整个流程需要大概 50 μ s。在复位执行的这段时间内，包含片上基准在内的所有电路都会进入稳定工作状态，并且可以开始通信。作为复位流程的一部分，所有的寄存器都会被配置为预设的默认值。器件默认的工作模式是 **single-shot** 模式，上电之后在所有寄存器使用默认配置的情况下，器件会执行一次数据转换后进入低功耗工作模式，此时 $\overline{\text{DRDY}}$ 引脚电平会从高电平切换到低电平，这个电平转换可以用来标志 LTD2X20 复位完成。

11.2. 数据转换模式

器件有两种转换模式：**single-shot** 转换模式和连续转换模式。转换模式的切换可以通过 CONFIG1 寄存器中的 CM 实现。

11.2.1. Single-shot 模式

在 **single-shot** 模式下，器件仅在 START/SYNC 指令收到后执行一次数据转换，且完成此次数据转换后就进入低功耗工作模式，即内部时钟和所有模拟电路（除 IDAC 外）全部关断直到下一次数据转换开始。对任何寄存器的写操作都将让器件开始执行一次数据转换，如果前一次的数据转换过程正在进行，此时对任何寄存器的写操作都会中断前一次数据转换并开启新的数据转换过程。由于器件采用了单周期稳定的结构，每一次数据转换后的结果都是稳定和收敛的。

11.2.2. 连续转换模式

在连续转换模式下，器件会不间断的进行数据转换。每次转换完的数据会存在缓存中，并立刻进行下一次转换。通过配置 CM 位为 1，并且发送 START/SYNC 指令来让器件进入连续转换模式

11.3. 工作模式

器件可以工作在正常模式、**duty-cycle** 模式、**turbo** 模式以及关断模式下。不同模式下的功耗、噪声性能、数据转换速率等指标上侧重点有所不同。

11.3.1. 正常模式

器件在上电之后会默认进入正常模式。在此模式下， $\Delta - \Sigma$ 调制器频率为 $f_{\text{CLK}}/16$ ，可以采用片上时钟或者外部时钟作为时钟源。当使用内部时钟时，调制器频率为 256 kHz，数据转换率可以在 20 SPS 到 1 kSPS 之间进行切换。如果使用非 4.096 MHz 的外部时钟，最终的数据转换率会相应的等比例改变。例如，如果使用 2.048 MHz 外部时钟，数据转换率会减半。

11.3.2. Duty-cycle 模式

Duty-cycle 模式是在正常模式的基础上，相邻的两次数据转换过程中自动插入三个低功耗的三个周期，相当于占空比从 100%

4 通道，低功耗，集成片上 PGA、基准和电流源的 $\Delta - \Sigma$ 型模数转换器

调整为了 25%。因此，此模式下的噪声性能与正常模式下的噪声性能基本一致，但又能很大程度上减小器件功耗。相应的，由于占空比变为 25%，最终数据转换速率也会相应缩减为原速率的 25%，速率范围为 5 SPS 到 250 SPS。

11.3.3. Turbo 模式

当器件工作在 turbo 模式下时，使用片上时钟的条件下数据转换速率可以达到最大 2 kSPS。在 turbo 模式下， $\Delta - \Sigma$ 调制器会工作在 $f_{CLK}/8$ ，相比正常模式提高了一倍。因此，此模式下的数据转换率范围为 40 SPS 到 2 kSPS。如果在相同数据转换率的条件下进行比较，turbo 模式相比于正常模式会有更高的功耗和更好的噪声性能。

11.3.4. 关断模式

当执行 POWERDOWN 指令时，器件会在完成前一次数据转换后进入关断模式。此时所有的模拟电路包括 IDAC 都会关断，低边开关开路，仅寄存器和数字接口会保持工作状态来响应指令，但不会进行数据转换。此状态下，器件的典型工作电流仅有 400 nA。

使用 START/SYNC 指令会唤醒器件并计入 single-shot 转换模式或者连续转换模式（由 CM 位状态决定）。或者通过写任意寄存器也可以唤醒器件，但只会进入 single-shot 转换模式（与 CM 位状态无关）。

11.4. 串行接口与操作指令

11.4.1. SPI

器件使用 SPI 兼容的接口用于数据采集和器件操作。

器件的 SPI 接口继承了通信超时自动复位的功能，此功能在片选引脚固定低电平的应用尤其有用。当一条完整的操作指令没有在 13955 个调制器周期（正常模式/duty-cycle 模式）或 27910 个调制器周期（turbo 模式）成功发送，器件会触发通信超时并自动复位，此时串行接口会复位并在下一个 SCLK 脉冲开始新的通信周期。对于 RREG 和 WREG 指令，一条完整的指令需要包括指令本身和寄存器字节数。

11.4.2. 操作指令

器件支持共 6 条指令。如下表所示：

表格 6 操作指令

指令	功能	编码方式
RESET	器件复位	00 00 01 1X
START/SYNC	开始数据转换	00 00 10 0X
POWERDOWN	进入关断模式	00 00 00 1X
RDATA	读数据	00 01 XX XX
RREG	从地址为 <i>rr</i> 寄存器起，读 <i>nn</i> 个寄存器	00 10 <i>rr nn</i>
WREG	从地址为 <i>rr</i> 寄存器起，写 <i>nn</i> 个寄存器	01 00 <i>rr nn</i>

12. 寄存器映射

LTD2X20 共有 4 个单字节寄存器来组成寄存器映射，通过配置这些寄存器来实现对应的功能。寄存器的读写操作可以通过 RREG 和 WREG 指令来实现。每个指令每次只能操作单个寄存器。器件上电或者复位时，所有的寄存器都会被复位到默认值。在完成配置某些寄存器后，会强制器件重新开始新的 AD 转换流程。

表格 7 寄存器映射

Addr.	Name	Default value	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-------	------	---------------	-------	-------	-------	-------	-------	-------	-------	-------

4 通道, 低功耗, 集成片上 PGA、基准和电流源的 $\Delta - \Sigma$ 型模数转换器

00h	CONFIG0	00h	MUX[3:]			GAIN[2:0]		PGA_BYPASS
01h	CONFIG1	00h	DR[2:0]		MODE[1:0]	CM	TS	BCS
02h	CONFIG2	00h	VREF[1:0]	50/60[1:0]		PSW	IDAC[2:0]	
03h	CONFIG3	00h	I1MUX[2:0]			I2MUX[2:0]		DRDYM 0

12.1. 寄存器描述

12.1.1. CONFIG0 (地址 = 00h)

CONFIG0

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MUX[3:]			GAIN[2:0]			PGA_BYPASS	
R/W-0h			R/W-0h			R/W-0h	

R/W: Read/Write; R: Read only; -n = default value

Bit[7:4]

输入通道选择器配置

用于配置输入数据转换器的模拟输入通道。

当配置输入负端接 AVSS 时, 需要将器件配置成 PGA 旁路模式 (PGA_BYPASS = 1), 且在此配置下只有 1、2 和 4 倍增益可以使用。

0000: AINP = AIN0, AINN = AIN1 (默认值)

0001: AINP = AIN0, AINN = AIN2

0010: AINP = AIN0, AINN = AIN3

0011: AINP = AIN1, AINN = AIN2

0100: AINP = AIN1, AINN = AIN3

0101: AINP = AIN2, AINN = AIN3

0110: AINP = AIN1, AINN = AIN0

0111: AINP = AIN3, AINN = AIN2

1000: AINP = AIN0, AINN = AVSS

1001: AINP = AIN1, AINN = AVSS

1010: AINP = AIN2, AINN = AVSS

1011: AINP = AIN3, AINN = AVSS

1100: $(V_{REFPX} - V_{REFNX}) / 4$ (PGA 旁路模式下)1101: $(AVDD - AVSS) / 4$ (PGA 旁路模式下)1110: AINP 与 AINN 同时短接到 $(AVDD + AVSS) / 2$

1111: 保留

Bit[3:1]

增益倍数配置

用于配置器件的增益倍数。

在 PGA 旁路模式下仍可以配置 1、2 和 4 倍增益, 此时的增益通过开关电容实现。

000: 增益 = 1 (默认值)

001: 增益 = 2

010: 增益 = 4

011: 增益 = 8

100: 增益 = 16

101: 增益 = 32

110: 增益 = 64

111: 增益 = 128

Bit[0]

PGA 旁路模式

用于配置 PGA 旁路模式。进入此模式后, PGA 会被关断来进一步减少总功耗, 同时输入共模电压可以拓展到 $AVSS - 0.1V$ 到 $AVDD + 0.1V$ 之间。只有在 1、2 和 4 倍增益的时候才能进入 PGA 旁路模式; 在更高增益下, 即使 PGA_BYPASS 位被配置为 1, PGA 都不会被关断且不能进入旁路模式。

0: PGA 开启 (默认值)

1: PGA 关断且进入旁路模式

12.1.2. CONFIG1 (地址 = 01h)

4 通道, 低功耗, 集成片上 PGA、基准和电流源的 $\Delta - \Sigma$ 型模数转换器

CONFIG1

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DR[2:0]		MODE[1:0]			CM	TS	BCS
R/W-0h		R/W-0h			R/W-0h	R/W-0h	R/W-0h

R/W: Read/Write; R: Read only; -n = default value

Bit[7:5]

数据转换速率

在不同工作模式下的速率配置方式不同:

	正常模式	Duty-cycle 模式	Turbo 模式
000	20 SPS	5 SPS	40 SPS
001	45 SPS	11.25 SPS	90 SPS
010	90 SPS	22.5 SPS	180 SPS
011	175 SPS	44 SPS	350 SPS
100	330 SPS	82.5 SPS	660 SPS
101	600 SPS	150 SPS	1200 SPS
110	1000 SPS	250 SPS	2000 SPS
111	保留	保留	保留

Bit[4:3]

工作模式

用于控制器件进入特定工作模式。

00: 正常模式 (256kHz 调制器频率, 默认值)

01: Duty-cycle 模式 (内部调整为 1/4 占空比)

10: Turbo 模式 (512kHz 调制器频率)

11: 保留

Bit[2]

转换模式

0: 单次转换模式 (默认值)

1: 连续转换模式

Bit[1]

温度传感器模式

用于启动片上温度传感器并进入温度传感器模式, 使用片上电压基准。此时 CONFIG0 寄存器中的配置情况不会对进入温度传感器模式的器件造成影响。

0: 关断温度传感器 (默认值)

1: 开启温度传感器

Bit[0]

断路/短路检测电流源

用于控制一个 10 微安的电流源来检测被连接的传感器是否出现短路或者短路等异常情况。

0: 关断电流源 (默认值)

1: 开启电流源

12.1.3. CONFIG2 (地址 = 02h)

CONFIG2

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
VREF[1:0]		50/60[1:0]			PSW	IDAC[2:0]	
R/W-0h		R/W-0h			R/W-0h	R/W-0h	

R/W: Read/Write; R: Read only; -n = default value

Bit[7:6]

电压基准选择

00: 片上 2.048 V 电压基准 (默认值)

01: 通过 REFPO 和 REFNO 输入的外部基准

10: 通过 AINO/REFP1 和 AIN3/REFN1 输入的外部基准

11: (AVDD-AVSS)作为基准

Bit[5:4]

FIR 滤波器配置

仅在正常模式 20 SPS 速率或 Duty-cycle 模式 5 SPS 速率下配置。其它速率下都配置为 00, 即关闭 50/60Hz 陷波功能。

00: 无 50 Hz 和 60 Hz 陷波

01: 50 Hz/60 Hz 同步陷波

10: 仅 50 Hz 陷波

11: 仅 60 Hz 陷波

Bit[3]

低边切换开关

4 通道, 低功耗, 集成片上 PGA、基准和电流源的 Δ - Σ 型模数转换器

	0: 开路 (默认值)
	1: 当 START/SYNC 指令发送后, 开关会自动闭合; 当 POWERDOWN 指令发送后, 开关会开路
Bit[2:0]	IDAC 输出电流
	000: 关闭
	001: 保留
	010: 50 μ A
	011: 100 μ A
	100: 250 μ A
	101: 500 μ A
	110: 1000 μ A
	111: 1500 μ A

12.1.4. CONFIG3 (地址 = 03h)

CONFIG3

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
I1MUX[2:0]			I2MUX[2:0]			DRDYM	0
R/W-0h			R/W-0h			R/W-0h	R/W-0h

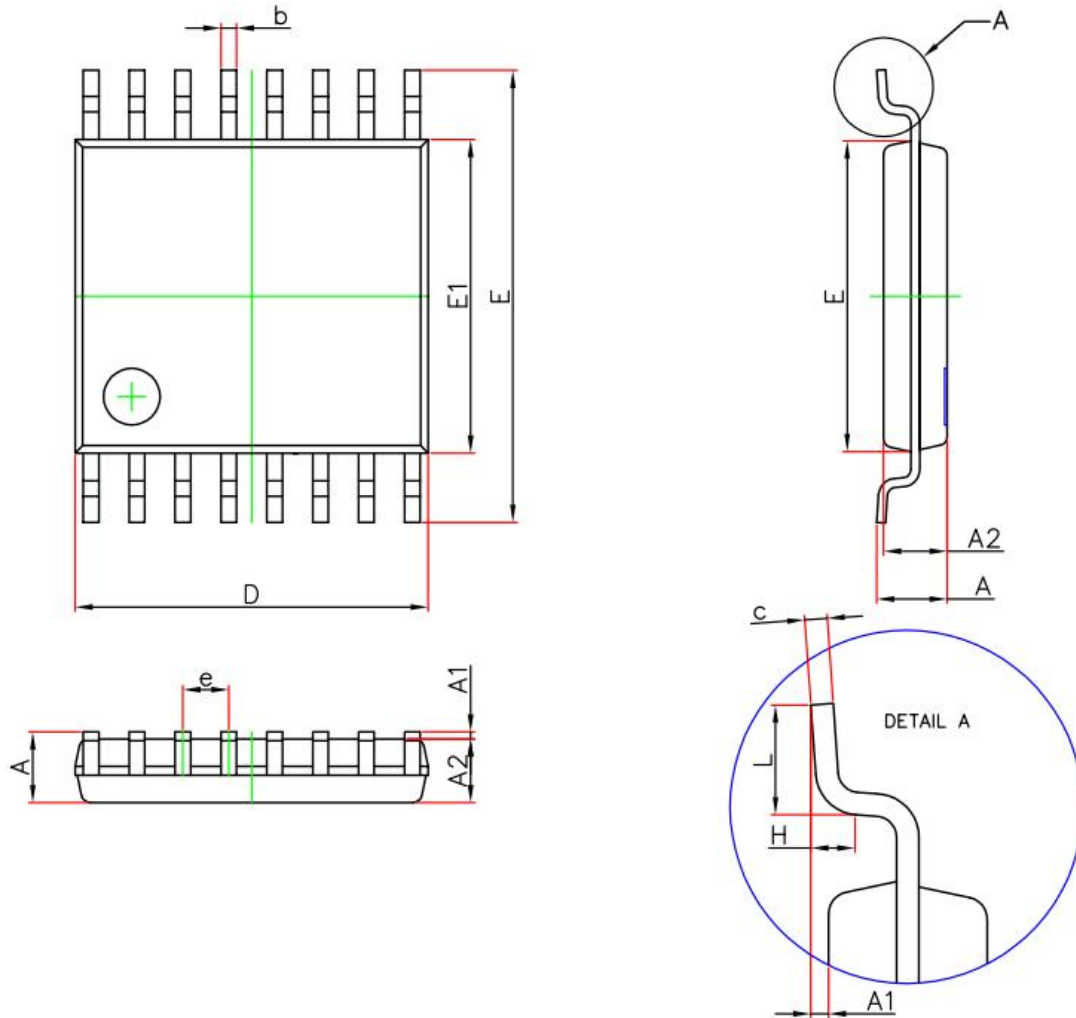
R/W: Read/Write; R: Read only; -n = default value

Bit[7:5]	IDAC1 通路配置
	000: 关断
	001: 连接到 AIN0/REFP1
	010: 连接到 AIN1
	011: 连接到 AIN2
	100: 连接到 AIN3/REFN1
	101: 连接到 REFPO
	110: 连接到 REFNO
	111: 保留
Bit[4:2]	IDAC2 通路配置
	000: 关断
	001: 连接到 AIN0/REFP1
	010: 连接到 AIN1
	011: 连接到 AIN2
	100: 连接到 AIN3/REFN1
	101: 连接到 REFPO
	110: 连接到 REFNO
	111: 保留
Bit[1]	DRDY 模式
	0: 仅 DRDY 用于标志数据转换完毕
	1: DRDY 和 DOUT/DRDY 同时用于标志数据转换完毕
Bit[0]	保留
	写 0

4 通道，低功耗，集成片上 PGA、基准和电流源的 $\Delta - \Sigma$ 型模数转换器

13. 封装信息

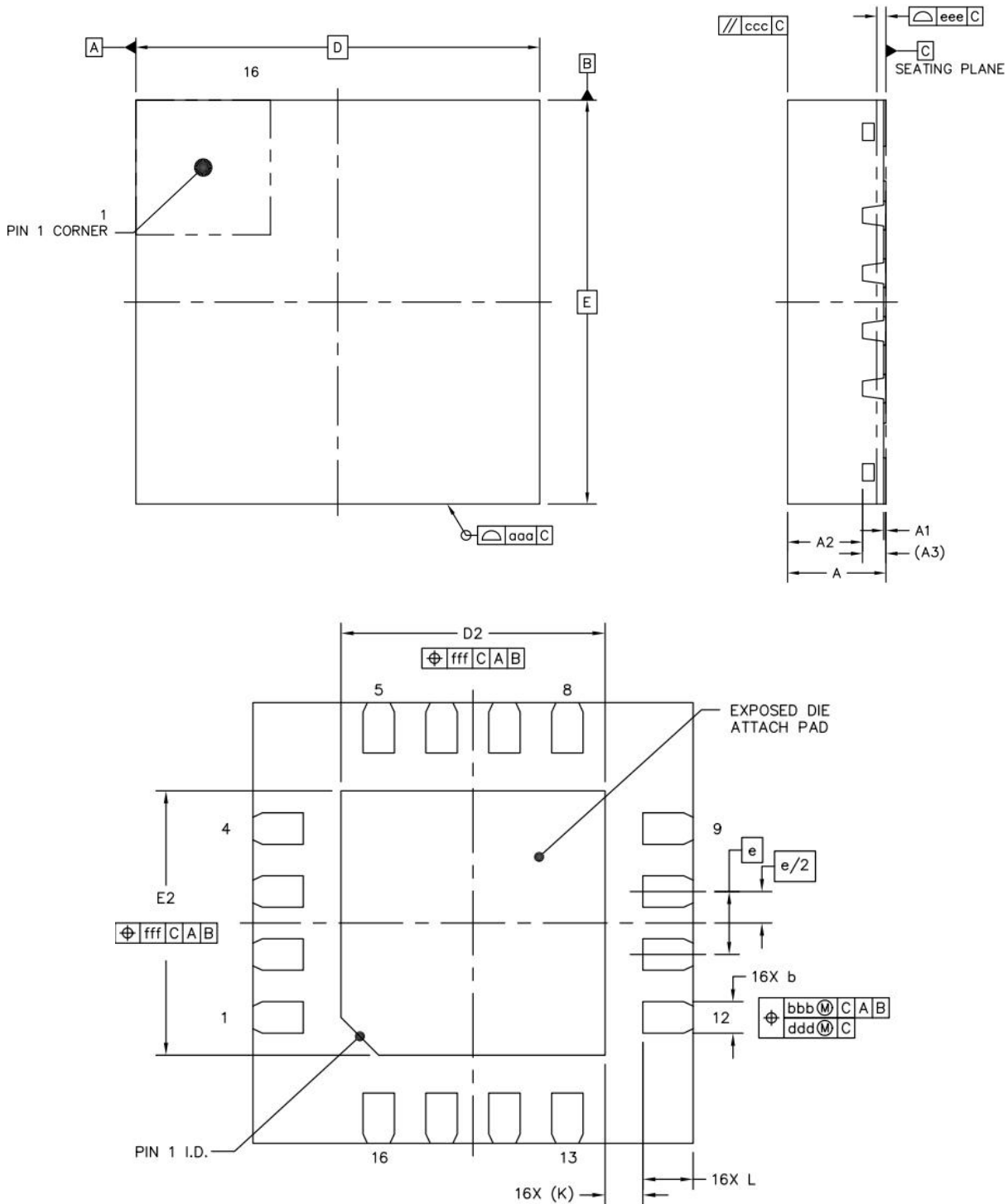
TSSOP-16L



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	—	1.200	—	0.047
A1	0.050	0.150	0.002	0.006
A2	0.800	1.000	0.031	0.039
b	0.190	0.300	0.007	0.012
c	0.090	0.200	0.004	0.008
D	4.900	5.100	0.193	0.201
E	6.250	6.550	0.246	0.258
E1	4.300	4.500	0.169	0.177
e	0.650(BSC)		0.026(BSC)	
L	0.500	0.700	0.020	0.028
H	0.250(TYP)		0.010(TYP)	
θ	1°	7°	1°	7°

4 通道, 低功耗, 集成片上 PGA、基准和电流源的 $\Delta - \Sigma$ 型模数转换器

VQFN-16L



4 通道, 低功耗, 集成片上 PGA、基准和电流源的 $\Delta - \Sigma$ 型模数转换器

		SYMBOL	MIN	NOM	MAX
TOTAL THICKNESS		A	0.7	0.75	0.8
STAND OFF		A1	0	0.02	0.05
MOLD THICKNESS		A2	----	0.55	----
L/F THICKNESS		A3	0.203 REF		
LEAD WIDTH		b	0.25	0.3	0.35
BODY SIZE	X	D	4 BSC		
	Y	E	4 BSC		
LEAD PITCH		e	0.65 BSC		
EP SIZE	X	D2	2.6	2.7	2.8
	Y	E2	2.6	2.7	2.8
LEAD LENGTH		L	0.3	0.4	0.5
LEAD TIP TO EXPOSED PAD EDGE		K	0.25 REF		
PACKAGE EDGE TOLERANCE		aaa	0.1		
MOLD FLATNESS		ccc	0.1		
COPLANARITY		eee	0.08		
LEAD OFFSET		bbb	0.1		
EXPOSED PAD OFFSET		fff	0.1		