

1. 产品描述

LTD226X 系列是 24 位高精度、多通道，40-kSPS，delta-sigma (Δ - Σ) 模数转换器。器件内部集成了诸多功能模块，用以达到单芯片实现系统级高精度测试的目的。功能模块包括：低噪声可编程增益放大器、低温漂高精度片内基准、用于故障检测的阈值电压监控、通用 I/O 口等。典型应用场景有模拟输入/输出模块、RTD/热电偶测温、DCS/PLC 和精密衡器等。

器件的数据转换主通路由一个输入多路选择器（LTD2260 提供 5 个通道，LTD2261 提供 10 通道）、一个高精度低噪声的可编程增益放大器、一个 24 位四阶 Δ - Σ 调制器、一个高精度低温漂的片内基准以及一个可编程数字滤波器构成。增益放大器具有低噪声、高输入阻抗的特点，有效降低由探测器负载带来的系统级测量误差。数据转换和数字滤波由四阶 Δ - Σ 调制器和数字滤波器实现，通过过采样技术和数据抽取对量化噪声进行整形和滤除，提高转换数据信噪比与精度，通过配置 FIR 低通滤波器还可以实现 50Hz/60Hz 同步工频陷波。高精度低温漂片内基准为数据转换提供参考电压。

数据转换主通路之外，器件还配备了多种功能模块用于实现便利的单芯片测试方案和过程监测机制。其中，两路独立的电流可编程高精度电流源为 RTD 提供电流偏置，并且抵消掉走线的寄生电阻带来的系统误差，提高测试精度；片上温度传感器可以提供芯片的实时温度，用于监测系统工作环境；复用的 GPIO 拓展了芯片的数字功能；阈值电压监控模块会对 PGA 输出电压和基准输入电压进行监控，确保芯片工作在稳定状态；Burn-out 电流源可以用于检测连接到芯片的传感器状态；CRC 校验功能用于验证输入输出的数字信号是否出现传输错误，保障数据安全可靠。这颗高集成度的芯片为多样化高精度测试需求提供了单芯片测试解决方案。

LTD226X 系列采用 QFN5*5-32L 封装，性能指标在 -40 到 +125°C 内测试得到

2. 特点与优势

- 高精度 24 位 delta-sigma 模数转换器
- 低噪声：30 nVRMS (@20 SPS, gain=128)
- 线性度：2 ppm
- 5 路单端输入或 3 路差分输入（LTD2260）
- 10 路单端输入或 5 路差分输入（LTD2260）
- 可编程增益：1~128 倍
- 满量程范围：±7 mV 到 ±5 V
- 数据转换速率：2.5 SPS 到 40 kSPS
- 参考电压温度漂移：2 ppm/°C
- 同步 50Hz/60Hz 工频陷波
- 单周期模式
- PGA 输出电压/参考输入电压监控
- 5 V 或 ±2.5 V 供电
- 片内温度传感器
- 循环冗余校验
- 两路独立电流源
- 传感器短路检测
- 4 路 GPIO
- 桥式电阻传感器 AC 激励模式
- SPI 兼容

3. 典型应用

- 温度与压力测量
- PLC 与 DCS 中的模拟输入模块
- 衡器与应变仪
- 科学测量与实验室仪器

4. 引脚定义（俯视示意图）

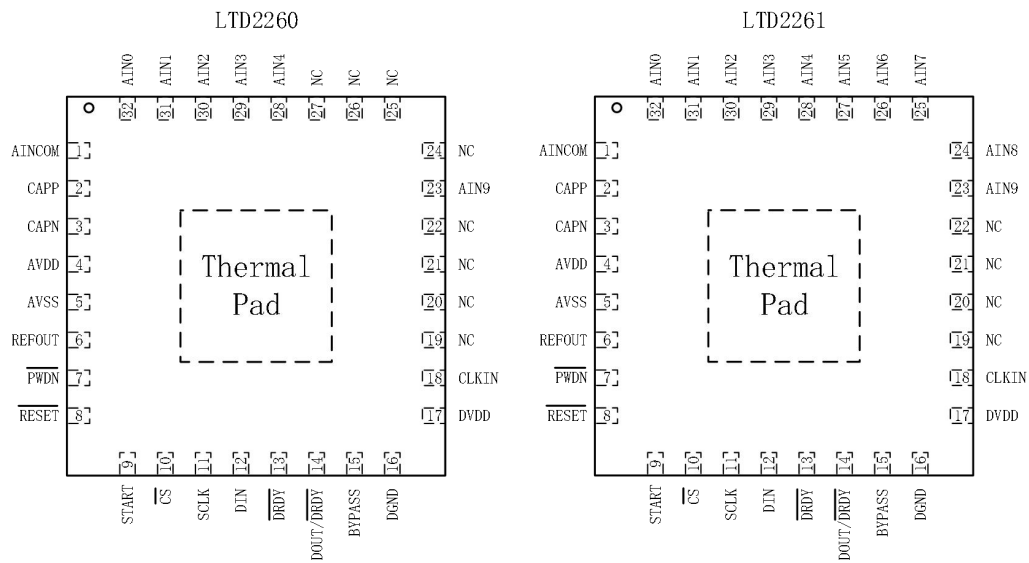


图1 引脚定义

Table of Contents

1. 产品描述	1	11.3.4. 参考电压阈值监控	16
2. 特点与优势	1	11.4. 电平转换电压 (VBIAS)	16
3. 典型应用	2	11.5. Burn-out 电流源	16
4. 引脚定义 (俯视示意图)	2	11.6. 传感器激励电流源 (IDAC1 与 IDAC2)	17
5. 器件比较	4	11.7. 通用输入输出端口 (GPIOs)	17
6. 引脚定义	4	11.8. 过采样	18
7. 功能模块图	4	11.9. 调制器	18
8. 订购信息	5	11.10. 数字滤波器	18
9. 性能	5	12. 寄存器映射	18
9.1. 极限值	5	12.1. 寄存器描述	19
9.2. ESD 等级	5	12.1.1. 身份识别寄存器 (地址 = 00h)	19
9.3. 推荐工作条件	5	12.1.2. STATUS: 状态寄存器 (地址 = 01h) ...	19
9.4. 电性能	6	12.1.3. MODE0: 模式寄存器 0 (地址 = 02h) ..	20
9.5. 时序要求	8	12.1.4. MODE1: 模式寄存器 1 (地址 = 03h) ..	21
9.6. 切换特性	8	12.1.5. MODE2: 模式寄存器 2 (地址 = 04h) ..	21
10. 噪声性能	9	12.1.6. MODE3: 模式寄存器 3 (地址 = 05h) ..	22
11. 特点描述	10	12.1.7. REF: 基准配置寄存器 (地址 = 06h) ..	23
11.1. 模拟输入与多路选择器	10	12.1.8. OFCALx: 失调电压校准寄存器 (地址 =	23
11.1.1. ESD 保护二极管	11	07h、08h、09h)	23
11.1.2. 输入多路选择器	11	12.1.9. FSCALx: 满幅度校准寄存器 (地址 = 0Ah、	23
11.1.3. 温度传感器	11	0Bh、0Ch)	23
11.1.4. 供电电压回读	12	12.1.10. IMUX: 电流源选择寄存器 (地址 = 0Dh)	24
11.1.5. 输入断开	12	24
11.1.6. 连接内部公共电压	12	12.1.11. IMAG: 电流源幅度寄存器 (地址 = 0Eh)	25
11.1.7. 引脚的复用功能	12	25
11.2. 可编程增益放大器 (PGA)	12	12.1.12. RESERVED: 预留寄存器 (地址 = 0Fh)	25
11.2.1. PGA 旁路模式	14	25
11.2.2. PGA 电压阈值监控	14	12.1.13. PGA: PGA 配置寄存器 1 (地址 = 10h) ..	25
11.3. 电压基准	15	12.1.14. INPMUX: 输入配置寄存器 (地址 = 11h)	26
11.3.1. 片内基准	15	26
11.3.2. 外部基准	15	12.1.15. INPBIAS: 输入偏置寄存器 (地址 = 12h)	27
11.3.3. AVDD - AVSS 作为参考电压 (默认配置)	15	27
.....	15	13. 典型应用	28

List of Figures

图 1 引脚定义	2	图 7 电压基准阈值监控	16
图 2 功能模块图	5	图 8 电平转换电压	16
图 3 模拟输入电路示意图	11	图 9 Burn-out 电流源	17
图 4 PGA 模块示意图	13	图 10 电流源配置	17
图 5 PGA 输入输出电压范围推导过程	14	图 11 数字滤波器模块	18
图 6 PGA 阈值监控模块	15		

List of Tables

表格 1 使用 2.5V 片上基准的噪声性能 in μV_{RMS} (μV_{PP}) ...	9
表格 2 Full-scale Input Range Vs. Gain @ $V_{\text{REF}}=2.5\text{ V}$...	13
表格 3 电平转换电压稳定时间	16
表格 4 寄存器映射	18

5. 器件比较

型号	输入通道数		参考电压输入	GPIO/交流激励
	单端	差分		
LTD2260	5	3	1	NA
LTD2261	10	6	2	4

6. 引脚定义

引脚编号	引脚名称		描述
	LTD2260	LTD2261	
1	AINCOM	AINCOM	Analog common input / IDAC1 / IDAC2 / VBIAS
2	CAPP	CAPP	PGA positive output. Connect a 4.7 nF COG capacitor between CAPP and CAPN
3	CAPN	CAPN	PGA negative output. Connect a 4.7 nF COG capacitor between CAPP and CAPN
4	AVDD	AVDD	Positive analog power supply input
5	AVSS	AVSS	Negative analog power supply input
6	REFOUT	REFOUT	Internal reference output. Connect a 10 μ F capacitor to AVSS
7	PWDN	PWDN	Power down input. Active low
8	RESET	RESET	Reset input. Active low
9	START	START	Start conversion control input. Active high
10	\overline{CS}	\overline{CS}	SPI chip select input. Active low
11	SCLK	SCLK	SPI clock input.
12	DIN	DIN	SPI data input.
13	\overline{DRDY}	\overline{DRDY}	Data ready indicator output. Active low
14	DOUT/ \overline{DRDY}	DOUT/ \overline{DRDY}	SPI data output / Active-low data ready indicator output.
15	BYPASS	BAPASS	Internal regulator output. Connect a 1 μ F capacitor to DGND
16	DGND	DGND	Digital ground
17	DVDD	DVDD	Digital power supply
18	CLKIN	CLKIN	Connect to DGND to use internal oscillator / External clock input
19	N.C.	N.C.	N.A.
20	N.C.	N.C.	N.A.
21	N.C.	N.C.	N.A.
22	N.C.	N.C.	N.A.
23	N.C.	AIN9	LTD2261 only: Analog input 9 / IDAC1 / IDAC2
24	N.C.	AIN8	LTD2261 only: Analog input 8 / IDAC1 / IDAC2
25	N.C.	AIN7	LTD2261 only: Analog input 7 / IDAC1 / IDAC2
26	N.C.	AIN6	LTD2261 only: Analog input 6 / IDAC1 / IDAC2
27	N.C.	AIN5	LTD2261 only: Analog input 5 / IDAC1 / IDAC2 / GPIO3 / ACX2
28	AIN4	AIN4	LTD2260: Analog input 4 / IDAC1 / IDAC2 LTD2261: Analog input 4 / IDAC1 / IDAC2 / GPIO2 / ACX1
29	AIN3	AIN3	LTD2260: Analog input 3 / IDAC1 / IDAC2 LTD2261: Analog input 3 / IDAC1 / IDAC2 / REFN1 / GPIO1 / $\overline{ACX2}$
30	AIN2	AIN2	LTD2260: Analog input 2 / IDAC1 / IDAC2 LTD2261: Analog input 2 / IDAC1 / IDAC2 / REFP1 / GPIO0 / $\overline{ACX1}$
31	AIN1	AIN1	Analog input 1 / IDAC1 / IDAC2 / REFN0
32	AIN0	AIN0	Analog input 0 / IDAC1 / IDAC2 / REFP0

7. 功能模块图

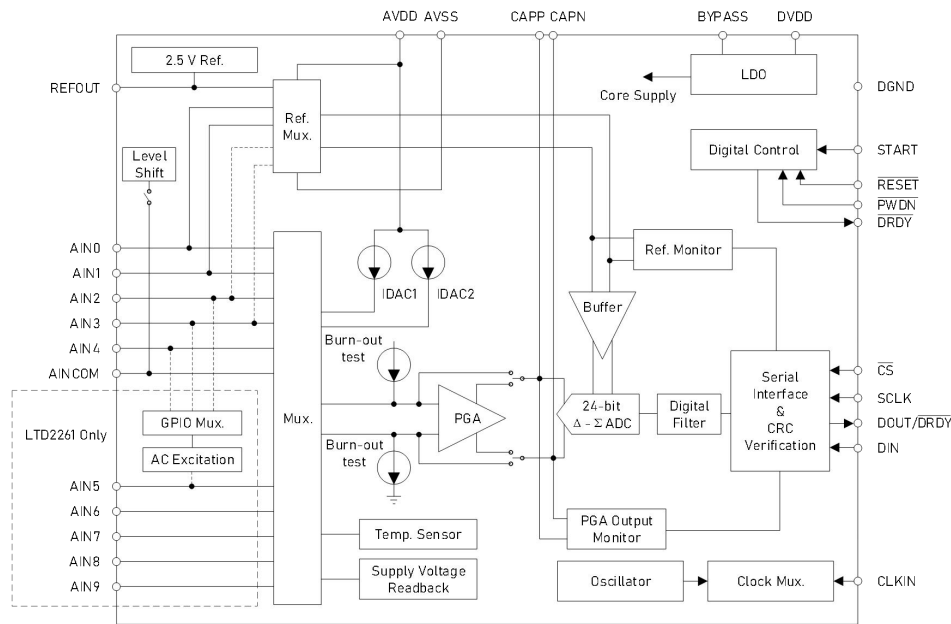


图 2 功能模块图

8. 订购信息

器件型号	封装	数量	丝印
LTD2260XF32/R10	QFN5×5-32L	Tape and Reel, 5000	D2260
LTD2261XF32/R10	QFN5×5-32L	Tape and Reel, 5000	D2261

9. 性能

9.1. 极限值

参数	最小值	最大值	单位
AVDD to AVSS	-0.3	7	V
AVSS to DGND	-3	0.3	V
DVDD to DGND	-0.3	7	V
模拟输入电压	AVSS - 0.3	AVDD+0.3	V
数字输入电压	DGND - 0.3	DVDD + 0.3	V
持续输入电流 (除电源引脚)	-10	10	mA
结温度		150	°C
储存温度	-60	150	°C

9.2. ESD 等级

Parameter	Level	UNIT
Human body model (HBM), per ANSI/ESDA/JEDEC JS-001, all pins	±2000	V
Charged device model (CDM), per JEDEC specification JESD22-C101, all pins	±500	V

9.3. 推荐工作条件

参数	测试条件	最小值	典型值	最大值	单位
供电					

High-precision, Multi-channel, 40-kSPS, 24-bit, Delta-sigma ADCs

模拟电源供电	AVDD to AVSS	4.75	5	5.25	V
	AVSS to DGND	-2.6		0	V
数字电源供电	DVDD to DGND	2.7		5.25	V
模拟输入					
V_{AINX}	绝对输入电压范围	PGA mode	$AVSS + 0.3 + V_{IN} \times (Gain - 1) / 2$	$AVDD - 0.3 - V_{IN} \times (Gain - 1) / 2$	V
		PGA bypassed	AVSS - 0.1	AVDD + 0.1	
V_{IN}	差分输入电压	$V_{IN} = V_{AINP} - V_{AINN}$	$\pm V_{REF} / Gain$		V
参考电压输入					
V_{REF}	参考电压	0.9		AVDD-AVSS	V
V_{REFNX}	负参考电压输入	AVSS - 0.05		$V_{REFPX} - 0.9$	V
V_{REFPX}	正参考电压输入	$V_{REFNX} + 0.9$		AVDD + 0.05	V
外部时钟					
f_{CLK}	频率	2.5 to 25.6 kSPS	1	7.3728	MHz
		40 kSPS	1	10.24	
	占空比		40%	60%	
GPIO					
	输入电压		AVSS	AVDD	V
数字输入					
	输入电压		DGND	DVDD	V
温度					
T_A	环境温度		-45	125	°C

9.4. 电性能

电性能最大值和最小值在-40 到 125°C 温度范围内测得，典型值在室温下测得，测试条件：AVDD = 5 V, AVSS = 0 V, DVDD = 3.3 V, $V_{REF} = 2.5$ V, $f_{CLK} = 7.3728$ MHz, PGA mode, gain = 1, data rate = 20 SPS (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
模拟输入					
输入电流	PGA mode, $V_{AINX} = 2.5$ V		4		nA
	PGA bypass		200		
输入电流温漂			0.01		nA/°C
差分输入电流	PGA mode, $V_{IN} = 19$ mV		± 0.1		nA
	PGA mode, $V_{IN} = 2.5$ V		± 1		
	PGA mode, chop mode		± 5		
	PGA bypass, $V_{IN} = 2.5$ V		± 40		
差分输入电流温漂			0.05		nA/°C
差分输入阻抗	PGA mode		1		GΩ
	PGA bypass		50		MΩ
串扰			0.1		μV/V
PGA					
增益			1, 2, 4, 8, 16, 32, 64, 128		V/V
抗混叠滤波器频率	$C_{CAPP}, C_{CAPN} = 4.7$ nF		60		kHz
性能					
	分辨率	No missing code	24		Bits
DR	转换速率		2.5	40,000	SPS
	噪声性能				
INL	积分非线性	Gain = 1 to 16		± 2	ppm _{FSR}
		Gain = 32 to 128		± 3	
		Gain = 1 to 32 (40 kSPS)		± 5	
V_{OS}	失调电压	TA = 25°C		$\pm 50 / Gain$	μV
		TA = 25°C, chop mode		$\pm 0.2 / Gain$	
失调电压温漂	After calibration	Gain = 1 to 8		100 / Gain	nV/°C
		Gain = 16 to 128		10	
		Chop mode, gain = 1 to 128		1	

High-precision, Multi-channel, 40-kSPS, 24-bit, Delta-sigma ADCs

	失调电压时漂	Gain = 1, 1000 hr	±0.1	μV
GE	增益误差	T _A = 25°C, gain = 1 to 128	±0.05%	
		After calibration		
	增益漂移	Gain = 1 to 128	4	ppm/°C
NMRR	50Hz/60Hz 工频抑制		See table X	
CMRR	共模抑制比	DR = 20 SPS	130	dB
		DR = 400 SPS	115	
PSRR	电源抑制比	AVSS and AVDD	100	dB
		DVDD	120	
片内时钟				
f _{CLK}	频率	2.5 SPS to 25.6 kSPS	7.3728	MHz
		40 kSPS	10.24	
	精确度		±0.5%	
电压参考输入				
	输入电流		±250	nA
	输入电流 vs 电压		15	nA/V
	输入电流漂移		0.2	nA/°C
	输入阻抗		30	MΩ
片内基准				
	输出电压		2.5	V
	初始误差	T _A = 25°C	±0.1%	
	温漂	T _A = 0°C to 85°C	9	ppm/°C
		T _A = -40°C to 125°C	12	
	时漂	1000 hr	±25	ppm
	热迟滞	First temperature cycle	±70	ppm
		Second temperature cycle	±20	
	输出电流	-10	10	mA
	负载调整率		50	μV/mA
	建立时间	Settling time to ±0.001% of the final value	100	ms
激励电流源 (IDACs)				
	输出电流档位		50, 100, 250, 500, 750, 1000, 1500, 2000, 2500, 3000	μA
	适配电压范围	AVSS	AVDD - 1.1	V
	精确度		±0.7%	
	匹配误差	Same current magnitudes	±0.1%	
		Different current magnitudes	±1%	
	温漂	Absolute	50	ppm/°C
		Match drift, I _{IDAC1} = I _{IDAC2}	25	
电平转换电压 (VBIAS)				
	电压		(AVDD + AVSS) / 2	V
	输出阻抗		100	Ω
Burn-out 电流源				
	输出电流档位	Sink and source	0.05, 0.2, 1, 10	μA
	精确度	0.05 μA range	0.05	μA
温度传感器				
	参考电压	T _A = 25°C		mV
	温度系数			μV/°C
阈值监控				
	PGA 输出	Low	AVSS + 0.2	V
		High	AVDD - 0.2	
	参考电压	Low	0.4 0.6	V
GPIOs				
V _{OL}	输出低电平	I _{OL} = -1 mA	0.2 × AVDD	V
V _{OH}	输出高电平	I _{OH} = 1 mA	0.8 × AVDD	V
V _{IL}	输入低电平		0.3 × AVDD	V
V _{IH}	输入高电平		0.7 × AVDD	V
	输入迟滞		0.5	V

数字输入/输出

V _{OL}	输出低电平	I _{OL} = -1 mA	0.2 × DVDD	V
		I _{OL} = -8 mA	0.2 × DVDD	
V _{OH}	输出高电平	I _{OH} = 1 mA	0.8 × DVDD	V
		I _{OH} = 8 mA	0.75 × DVDD	
V _{IL}	输入低电平		0.3 × DVDD	V
V _{IH}	输入高电平		0.7 × DVDD	V
	输入迟滞		0.1	V
	输入漏电流	-10	10	μA
供电				
I _{AVDD} , I _{AVSS}	模拟供电电流	PGA bypass	2.7	mA
		PGA mode, gain = 1 to 32	3.8	
		PGA mode, gain = 64 or 128	4.3	
		Power-down mode	2	
I _{AVDD} , I _{AVSS}	模拟供电电流 (按功能)	Voltage reference	0.2	mA
		40 kSPS mode	0.5	
		Current sources	As user defined	
I _{DVDD}	数字供电电流	20 SPS	0.4	mA
		40 kSPS	0.6	
		Power-down mode	30	
PD	功耗	PGA mode	20	mW
		Power-down mode	0.1	

9.5. 时序要求

在全温区范围内表征。测试条件：DVDD = 2.7 V to 5.25 V, pin DOUT/ $\overline{\text{DRDY}}$ 负载：20 pF || 100 kΩ to DGND.

参数		MIN	MAX	UNIT
串行接口				
t _{d(CSSC)}	Delay time, first SCLK rising edge after CS falling edge	50		ns
t _{su(DI)}	Setup time, DIN valid before SCLK falling edge	25		ns
t _{h(DI)}	Hold time, DIN valid after SCLK falling edge	25		ns
t _{c(SC)}	SCLK period	97	10 ⁶	ns
t _{w(SCH)} , t _{w(SCL)}	Pulse duration, SCLK high or low	40		ns
t _{d(SCCS)}	Delay time, last SCLK falling edge before $\overline{\text{CS}}$ rising edge	50		ns
t _{w(CSH)}	Pulse duration, $\overline{\text{CS}}$ high to reset interface	25		ns
t _{d(SCIR)}	Delay time, SCLK high or low to force interface auto-reset		65540	1/f _{CLK}
重置				
t _{w(RSTL)}	Pulse duration, $\overline{\text{RESET}}$ low	4		1/f _{CLK}
转换控制				
t _{w(STH)}	Pulse duration, START high	4		1/f _{CLK}
t _{w(STL)}	Pulse duration, START low	4		1/f _{CLK}
t _{su(DRST)}	Setup time, START low or STOP command after $\overline{\text{DRDY}}$ low to stop next conversion (continuous mode)		100	1/f _{CLK}
t _{h(DRSP)}	Hold time, START low or STOP command after $\overline{\text{DRDY}}$ low to continue next conversion (continuous mode)	150		1/f _{CLK}

9.6. 切换特性

在全温区范围内表征。测试条件：DVDD = 2.7 V to 5.25 V, pin DOUT/ $\overline{\text{DRDY}}$ 负载：20 pF || 100 kΩ to DGND.

Parameter		MIN	TYP	MAX	UNIT
串行接口					
t _{w(DRH)}	Pulse duration, $\overline{\text{DRDY}}$ high	16			1/f _{CLK}
t _{p(CSDO)}	Propagation delay time, $\overline{\text{CS}}$ falling edge to DOUT/ $\overline{\text{DRDY}}$ driven	0		50	ns

High-precision, Multi-channel, 40-kSPS, 24-bit, Delta-sigma ADCs

$t_{p(SCD01)}$	Propagation delay time, SCLK rising edge to valid DOUT/ \overline{DRDY}	40	ns
$t_h(SCD01)$	Hold time, SCLK rising edge to invalid data on DOUT/ \overline{DRDY}	0	ns
$t_h(SCD02)$	Hold time, last SCLK falling edge of operation to invalid data on DOUT/ \overline{DRDY}	15	ns
$t_p(SCD02)$	Propagation delay time, last SCLK falling edge to valid data ready function on DOUT/ \overline{DRDY}	110	ns
$t_p(CSD02)$	Propagation delay time, \overline{CS} rising edge to DOUT/ \overline{DRDY} high impedance	50	ns
重置			
$t_p(RSCN)$	Propagation delay time, \overline{RESET} rising edge or RESET command to start of conversion	512	1/f
$t_p(PRCM)$	Propagation delay time, power-on threshold voltage to ADC communication		2^{16} 1/f _{CLK}
$t_p(CMCN)$	Propagation delay time, ADC communication to conversion start	512	1/f _{CLK}
交流激励			
$t_d(ACX)$	Delay time, phase-to-phase blanking period		8 1/f _{CLK}
$t_c(ACX)$	ACX period	2	t _{STDR}
转换控制			
$t_p(STDR)$	Propagation delay time, START high or START command to \overline{DRDY} high	2	1/f _{CLK}

10. 噪声性能

LTD2284 的噪声性能主要由数据转换速率、PGA 增益和数字滤波器配置决定。由于噪声密度在频域内是均匀分布的，减小数据转换率会等比例的减小信号带宽，因此减少总噪声。PGA 产生的噪声小于调制器产生的噪声，如果以折合到输入端的噪声作为衡量标准的话，提高 PGA 增益会减小噪声。增加 sinc 滤波器的阶数会进一步的提高滤波效率来减少噪声，而如果使用额外的 FIR 滤波器会增加噪声。表一列出了 LTD2261 在使用内置 2.5 V 基准下，测得的噪声性能。

表格 1 使用 2.5V 片上基准的噪声性能 in μV_{RMS} (μV_{PP})

转换率	滤波器	增益	
		1	128
2.5	FIR	0.9 (3.87)	0.15 (0.61)
2.5	Sinc1	0.87 (2.68)	0.17 (0.62)
2.5	Sinc2	0.59 (2.38)	0.18 (0.89)
2.5	Sinc3	0.46 (1.78)	0.14 (0.63)
2.5	Sinc4	0.4 (1.78)	0.15 (0.33)
5	FIR	1.58 (4.47)	0.21 (0.91)
5	Sinc1	1.76 (4.47)	0.23 (1.21)
5	Sinc2	1.84 (4.47)	0.21 (0.92)
5	Sinc3	1.76 (4.47)	0.2 (0.92)
5	Sinc4	1.68 (4.47)	0.18 (0.9)
10	FIR	1.55 (4.47)	0.25 (1.23)
10	Sinc1	1.5 (4.47)	0.26 (1.2)
10	Sinc2	1.44 (4.47)	0.18 (0.91)
10	Sinc3	1.34 (4.47)	0.22 (0.92)
10	Sinc4	1.3 (4.47)	0.23 (1.2)
16.6	Sinc1	1.34 (4.47)	0.27 (1.49)
16.6	Sinc2	1.26 (4.47)	0.24 (1.22)
16.6	Sinc3	1.2 (4.47)	0.26 (1.22)
16.6	Sinc4	1.21 (4.47)	0.22 (1.2)
20	FIR	2.89 (38.4)	0.28 (1.49)
20	Sinc1	1.4 (4.47)	0.24 (1.21)
20	Sinc2	1.32 (4.47)	0.24 (1.21)
20	Sinc3	1.25 (4.47)	0.23 (1.2)
20	Sinc4	1.32 (4.47)	0.21 (1.18)

50	Sinc1	1.45 (4.47)	0.26 (1.8)
50	Sinc2	1.48 (4.47)	0.33 (1.81)
50	Sinc3	1.49 (4.47)	0.25 (1.49)
50	Sinc4	1.52 (4.47)	0.23 (1.48)
60	Sinc1	2.36 (38.2)	0.28 (2.06)
60	Sinc2	2.36 (38.4)	0.3 (1.81)
60	Sinc3	1.44 (4.47)	0.29 (1.52)
60	Sinc4	1.48 (4.47)	0.25 (1.48)
100	Sinc1	1.42 (4.47)	0.44 (1.82)
100	Sinc2	1.46 (4.47)	0.33 (2.1)
100	Sinc3	1.48 (4.47)	0.29 (1.52)
100	Sinc4	1.45 (4.47)	0.32 (2.06)
400	Sinc1	1.4 (4.47)	0.5 (3.58)
400	Sinc2	1.39 (4.47)	0.43 (2.99)
400	Sinc3	1.4 (4.47)	0.44 (3.27)
400	Sinc4	1.4 (4.47)	0.38 (2.7)
1200	Sinc1	3.56 (78.4)	0.69 (5.37)
1200	Sinc2	4.16 (80.1)	0.61 (4.8)
1200	Sinc3	2.26 (42.3)	0.59 (4.49)
1200	Sinc4	1.76 (39.3)	0.55 (4.2)
2400	Sinc1	4.06 (79.6)	0.88 (8.34)
2400	Sinc2	3.21 (42.6)	0.77 (6.59)
2400	Sinc3	2.38 (42.6)	0.73 (6.26)
2400	Sinc4	2.39 (42.3)	0.68 (5.66)
4800	Sinc1	7.48 (80.7)	1.08 (10.45)
4800	Sinc2	6.38 (80.5)	0.99 (10.41)
4800	Sinc3	5.38 (80.4)	0.95 (8.96)
4800	Sinc4	4.2 (77.5)	0.92 (7.8)
7200	Sinc1	19.8 (119)	1.26 (12.55)
7200	Sinc2	20.2 (119)	1.18 (10.13)
7200	Sinc3	16.6 (119)	1.17 (10.43)
7200	Sinc4	16.2 (119)	1.08 (9.52)
14400	Sinc5	26.2 (195)	1.42 (11.64)
19200	Sinc5	65 (500)	1.68 (15.21)
25600	Sinc5	53.5 (500)	2.21 (19.68)
40000	Sinc5	66 (688)	2.7 (26.2)

11. 特点描述

11.1. 模拟输入与多路选择器

图三展示了 LTD2261 模拟输入部分的电路结构示意图，主要由 ESD 保护二极管、输入多路选择器和 Burn-out 电流源组成。LTD2260 共有 6 个模拟输入端口，支持 5 路单端信号输入或者 3 路差分信号输入。LTD2261 共有 11 个模拟输入端口，支持 10 路单端信号输入或者 5 路差分信号输入。除了外部模拟信号输入外，LTD226X 还可以切换成 4 种内部信号输入或者使所有输入端全部断开。

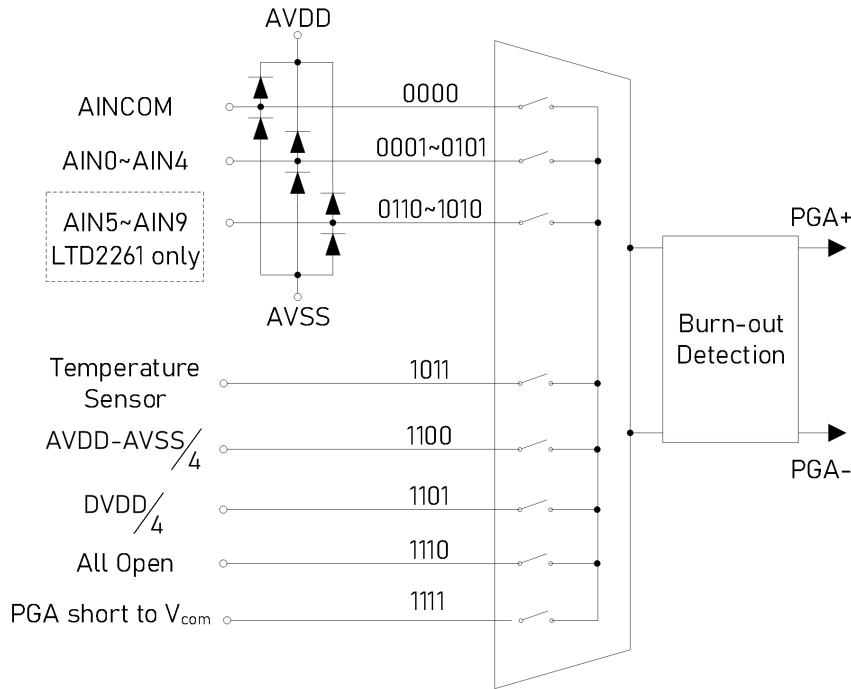


图 3 模拟输入电路示意图

11.1.1. ESD 保护二极管

ESD 保护二极管被集成在了所有的输入端口，用来保护器件免受在生产制造或者 PCB 贴片过程中可能遭受到的 ESD 冲击。除了片内的 ESD 保护二极管外，如果用户希望在系统层级进一步对器件进行 ESD 防护，可以对暴露在潜在 ESD 冲击下的引脚增加外部 ESD 保护器件，来实现两级 ESD 防护。

由于 ESD 保护二极管的存在，模拟输入引脚会被钳位在 $AVDD + 0.3V$ 和 $AVSS - 0.3V$ 。如果输入引脚电压超过这个电压限制，那么 ESD 二极管会开启，过大的正向电流有可能会使器件永久性损坏。因此，如果此类工况有机会发生，则需要使用外部钳位二极管，或者限流电阻，或者两者结合使用来确保输入电流不会超过其额定最大值。

11.1.2. 输入多路选择器

通过多路选择器选择输入到 PGA 的外部模拟输入信号，或者选择由芯片内部产生的测试信号。PGA 的正负输入信号可以通过寄存器 INPMUX 来进行独立配置。寄存器高四位 (bit 7 到 bit 4) 用来配置 PGA 正输入，寄存器的低四位 (bit 3 到 bit 0) 用来配置 PGA 负输入。正负输入端的输入端口编码规则见图 3。因为电平转换电压默认连接到 AINCOM 引脚，AINCOM 常被用来作为单端信号输入时的公共端，尤其是在需要用到电平转换工况下。

多路选择器通道间的切换采用先断开再建立的原则，避免其它通道的电荷注入到正在测量的通道中，造成测量误差。

需要注意的是，即使在未被使用的输入通道断开的情况下，过驱动这些未使用通道也会影响到正在进行数据转换的输入通道。在这样的情况下，建议用户使用外部二极管将过驱动信号钳位在正负模拟电压之间，由此来减少串扰。

11.1.3. 温度传感器

LTD226X 内部集成了内部温度传感器，主要由两个内部二极管构成，其中一个二极管通过的电流密度是另一个的 80 倍。两个二极管电流密度的差异会使温度传感器输出一个正比于绝对温度的差分电压。温度传感器的输出再通过 AD 转为数字信号进行获取。下方公式展示了芯片温度和温度传感器电压读数的换算关系：

$$\text{Temperature (}^{\circ}\text{C)} = (\text{Sensor Reading (}\mu\text{M)} - 12\,2056) / 405.5 + 25$$

在使用上述关系式计算温度时，PGA 需要被配置为单位增益，并且需要将 burn-out 电流源和 AC 激励源关断。由于 LTD226X 采用的带大散热片的封装形式，结到壳的热阻值较小，片内温度传感器可以相对准确的测量芯片的板级环境温度。由于芯片在工作时总会有自加热，结温总是会比环温高一些，用户需要确保芯片在工作时，环境温度不能超过限定工作温度，否则可能会对芯片造成永久性损伤。

11.1.4. 供电电压回读

通过配置多路选择器来读取模拟或者数字供电的电压。为了保证读取到的电压值在最大输入电压范围内，输入到 PGA 的电压是实际供电电压的 1/4。可读取的供电电压由下方关系式表示：

$$\text{Analog Supply (V)} = (\text{AVDD} - \text{AVSS}) / 4$$

$$\text{Digital Supply (V)} = \text{DVDD} / 4$$

在回读供电电压时，既可以使用片内基准也可以使用片外基准。不过如果使用片外基准，为了保证测试结果的准确，参考电压不能小于 1.5 V。与读取温度传感类似，在回读供电电压时，需要将 PGA 设置为单位增益，并且关断 burn-out 电流源和 AC 激励源。

11.1.5. 输入断开

通过配置多路选择器使 PGA 与所有的模拟输入断开，在这种配置下，用户可以测试 burn-out 电流源以及 PGA 输出电压阈值监测。在 burn-out 电流源的激励下，PGA 会接收到满幅度输入信号，触发超阈值电压报警，并且得到钳位在满幅度的数字电压输出。

11.1.6. 连接内部公共电压

通过配置多路选择器使 PGA 输入端短接到 V_{COM} 公共电压，公共电压值由下方关系式展示。在这种配置下，用户可以测量 ADC 的噪声性能、失调电压或者用于失调电压的校准。

$$V_{\text{COM}} = (\text{AVDD} + \text{AVSS}) / 2$$

11.1.7. 引脚的复用功能

模拟输入引脚可以被复用于参考电压输入端、内部电流源输出端、GPIO 端口、AC 激励源输出端和电平转换输出端。每个模拟输入引脚具体的复用功能可以在第 6 节中的引脚定义中查询。这些引脚的复用功能可以通过配置对应寄存器启用。在启用这些功能后，依然可以对这些引脚上的电信号进行 AD 转换。

11.2. 可编程增益放大器 (PGA)

LTD226X 集成了一个低噪声差分输入差分输出的可编程增益放大器 (PGA)。PGA 本身支持从单位增益到 32 倍增益的信号放大，ADC 支持 2 倍和四倍增益的信号放大。综合下来，器件可以支持单位增益到 128 倍增益的信号放大，这对于小信号的应用场景是必要的。PGA 的增益可以通过配置 PGA 寄存器中的 GAIN[2:0] 来改变。在特定的应用场景中，如果不需要使用 PGA 进行信号调理，可以使用 PGA bypass 模式，在此模式下，PGA 会处于关断状态并且信号会绕过 PGA 直接进入调制器中，此时的电压输入范围直接由模拟供电电压范围决定。

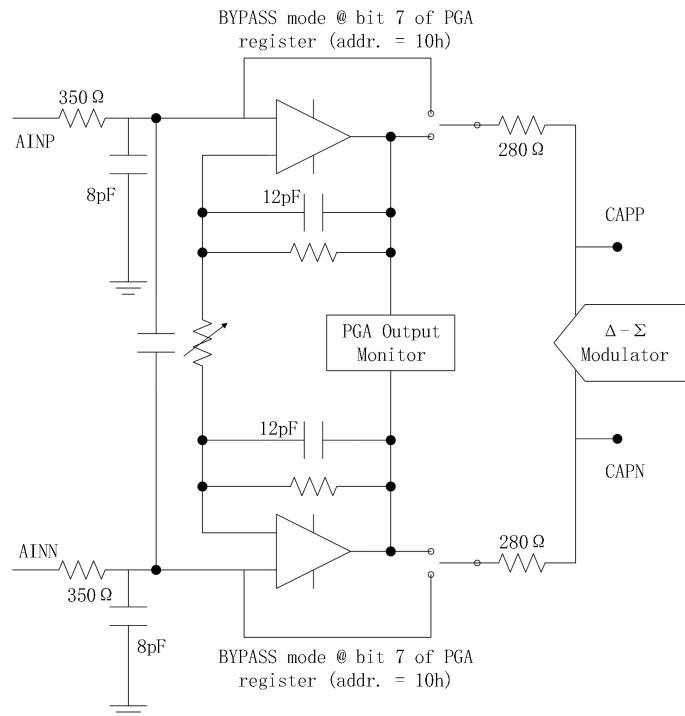


图 4 PGA 模块示意图

PGA 使用了两个自稳零的运放来组成差分输入差分输出的放大器结构。在 PGA 的输入端集成了 RC 滤波器，用于抑制电磁干扰带来的噪声。PGA 的增益倍数由一个高度匹配的精密电阻网络决定，它的高匹配度也使得器件具有很低温漂特性和高共模抑制性能。PGA 输出端集成的 PGA 阈值电压监控模块可以用来指示 PGA 的输出信号是否超过了预设置的高低阈值。

CAPP 和 CAPN 引脚分别是 PGA 的正负输出引脚。在这两个引脚之间需要接一个 C0G 的 4.7 nF 电容用于滤除数据流中的高频噪声同时也作为抗混叠滤波器使用。建议尽可能的将此电容放置在靠近 PGA 输出的地方以达到最好的滤波效果，并尽量避免时钟信号或者数字信号的走线靠近 PGA 输出，减少由于电磁干扰带来的额外噪声。

器件的满幅度差分输入范围是由 PGA 的增益倍数和参考电压大小决定的。下表展示了在使用 2.5 V 参考电压的情况下，PGA 增益和满幅度差分输入范围的对应关系。

表格 2 Full-scale Input Range Vs. Gain @ $V_{REF}=2.5\text{ V}$

GAIN[2:0] Bits	Gain	Full-scale Input Range
000	1	$\pm 2.5\text{ V}$
001	2	$\pm 1.25\text{ V}$
010	4	$\pm 0.625\text{ V}$
011	8	$\pm 0.312\text{ V}$
100	16	$\pm 0.156\text{ V}$
101	32	$\pm 0.078\text{ V}$
110	64	$\pm 0.039\text{ V}$
111	128	$\pm 0.0195\text{ V}$

为了避免 PGA 非线性放大造成的误差，用户需要保证输入信号在模拟输入电压的绝对输入范围内。当输出电压高于 $AVDD - 0.3\text{ V}$ 或者低于 $AVSS + 0.3\text{ V}$ 时，PGA 就会进入非线性放大区域。由于 PGA 采用了对称结构输入输出的共模电压可认为相同。因此，可换算出模拟输入电压需要满足以下关系式：

$$AVSS + 0.3V + V_{IN} * (GAIN - 1) / 2 < V_{AINP}$$

$$V_{AINN} < AVDD - 0.3V - V_{IN} * (GAIN - 1) / 2$$

其中 V_{AINX} = 绝对输入电压, V_{IN} = 满幅度输入电压。当总增益为 64 或 128 倍时, 关系式中的 GAIN 取值 32。

图 5 中解释了模拟输入绝对电压范围的推导过程。

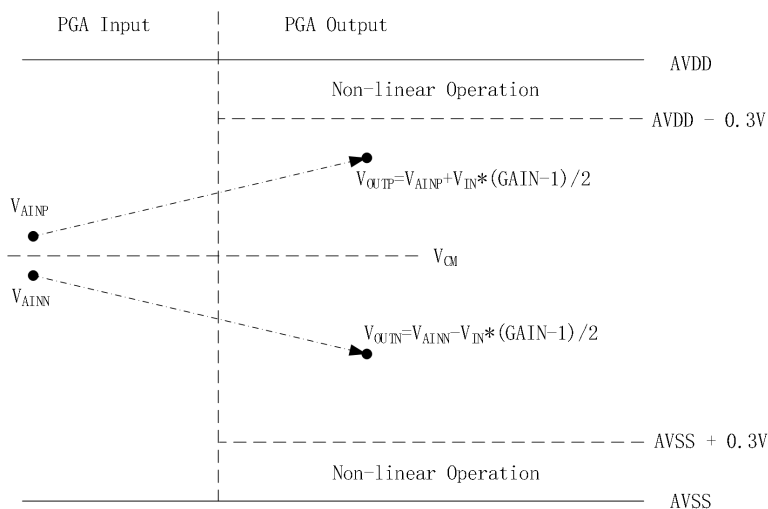


图 5 PGA 输入输出电压范围推导过程

11.2.1. PGA 旁路模式

在此模式下, 模拟输入端绕过 PGA 直接连接到调制器前缓冲器。也因此, 输入范围会拓展到 $AVSS + 0.1V$ 到 $AVDD - 0.1V$ 。

11.2.2. PGA 电压阈值监控

PGA 的输出端集成了阈值电压监控模块。当 PGA 输出高于阈值上限 ($AVDD - 0.2V$) 或低于阈值下限 ($AVSS + 0.2V$) 时, 会触发报警。报警器的状态分别存放在 STATUS 寄存器中的 PGAL_ALM 和 PGAH_ALM 位中。这两位为只读, 会在被监控电压恢复到阈值范围内后下一次转换前复位。图 6 展示了 PGA 阈值监控模块示意图。触发模块由高速比较器构成。在多路选择器切换通道时, 为了避免瞬态电信号造成的误触发, 比较器模块会关断。在对 PGA 进行设置的时候, PGA 输出端的瞬态信号也有可能造成短时过阈值, 从而发生警报误触发。

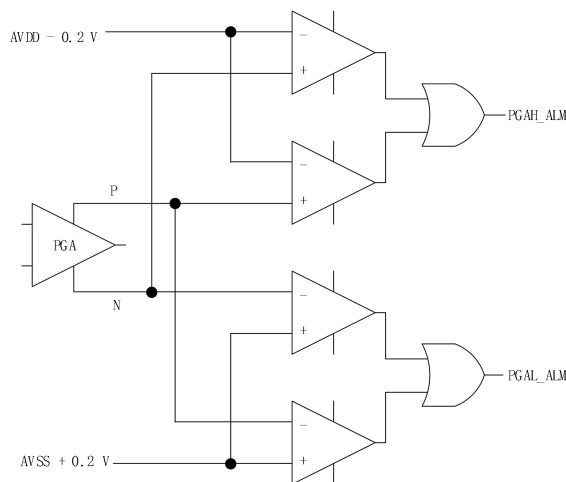


图 6 PGA 阈值监控模块

11.3. 电压基准

LTD2261 提供了多种方式来给 ADC 提供电压基准。用户可以使用片内的 2.5 V 高精度基准，或通过输入端口使用外置基准，也可以设置模拟供电电压作为电压基准。电压基准需要通过多路选择器分别选择正负参考电压输入端。默认设置的参考电压源时模拟供电电压，也就是 AVDD - AVSS。

通过配置 REF 寄存器中的 RMUXP[1:0]和 RMUXN[1:0]来分别选择参考电压的正负输入端。正输入端可以在片内基准正输出端、AVDD、AIN0 和 AIN2 之间切换，负输入端可以在片内基准负输出端、AVSS、AIN1 和 AIN3 之间切换。电压基准缓冲输出端集成了阈值电压监控模块，用于指示参考电压的过阈值。

11.3.1. 片内基准

要使用 2.5 V 片内基准的话需要先配置 REF 寄存器的 REFENB 位，使片内基准开启，然后通过配置基准的正负输入端来选择片内基准作为参考电压。用户需要在 REFOUT 引脚和 AVSS 之间放置一个 10 μ F 的电容来滤除噪声。推荐参考电压回路来用星型连接或者平面连接，并且尽可能的靠近 AVSS。为了保证数据转换的精度和稳定性，需要在参考电压完全稳定了之后在开始进行数据转换。在片内基准开启时，由于瞬时的电流变化，可能会在供电电源上出现一个瞬态电压降。如果在应用中需要用到电流激励源，则需要先开启参考电压。

11.3.2. 外部基准

通过电压基准多路选择器可以选择使用外部基准。然后通过配置基准的正负输入端来选择 AIN0/AIN1 或者 AIN2/AIN3 作为外部基准的正负输入端。如果需要使用多个外部基准，用户需要将外部基准共地并输入到器件。在选用外部基准的时候还需要注意基准的输出阻抗和输入端的输入阻抗，来保证基准电压的精确度。

11.3.3. AVDD - AVSS 作为参考电压（默认配置）

器件的默认参考电压是 5 V 的模拟供电电压。在 6 线制电桥式测量应用，或者 AC 激励应用中，将电桥供电作为参考电压输入到器件。

11.3.4. 参考电压阈值监控

在电压基准缓冲输出端集成了一个电压下限阈值监控模块，用于监测参考电压的丢失和失效。如果参考电压低于 0.4 V ，那么过阈值警报会被触发同时 **STATUS** 寄存器中的 **REFL_ALM** 位会置位。类似的，这一位只读，且会在过阈值情况消失后在下次转换开始前复位。为了能够检测到外置基准未连接的情况，尤其是正负输入都未连接，需要在基准的输入段之间并联一个 $100\text{ k}\Omega$ 的电阻。

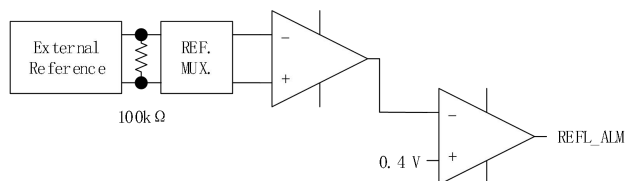


图 7 电压基准阈值监控

11.4. 电平转换电压 (VBIAS)

器件通过模拟输入公共端 **AINCOM** 提供了一个电平转换电压，如图 7 所示。这个电压值等于 $(AVSS + AVDD)/2$ ，可以使用这个电压使浮空的探测器输出电压在进入器件要求的输入电压范围之内，如热电偶和压电探测器。如果需要使用电平转换电压，将探测器的负端与器件的输入公共端 **AINCOM** 相连，并且配置 **INPBIAS** 寄存器的 **VBIAS** 位。用户需要考虑由于外部电容产生的电平转换电压的开启时间。需要在 **VBIAS** 完全稳定后再开始进行数据转换，否则会引入额外的系统误差。

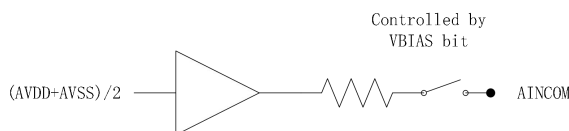


图 8 电平转换电压

表格 3 电平转换电压稳定时间

Total Load Capacitance	Settling Time
0.1 μF	0.22 ms
1 μF	2.2 ms
10 μF	22 ms

11.5. Burn-out 电流源

器件集成了一个 **burn-out** 电流源来检测探测器是否处于烧毁或者断开状态。这个 **burn-out** 电流源可以工作在上拉或者下拉模式。在上拉模式下，拉电流驱动 **PGA** 正输入端，灌电流驱动 **PGA** 负输入端。一旦探测器出现烧毁或者断开的情况，**PGA** 阈值监控会报警，或者输出钳位在最大可输出正电压。如果工作在下拉模式则相反，**PGA** 阈值监控会报警，或者输出钳位在最大可输出负电压。

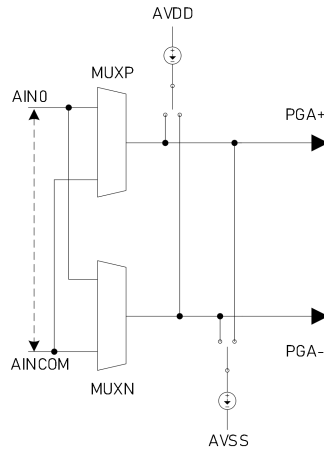


图 9 Burn-out 电流源

通过配置 INPBIAS 寄存器中的 BOSCP 位，用户可以选择上拉或者下拉模式。电流源的开关、驱动电流的幅度可以通过配置 BOCS[2:0]来调整。详细信息可以在寄存器映射部分查看。

11.6. 传感器激励电流源 (IDAC1 与 IDAC2)

器件集成了两个独立电流源来提供激励电流给到电阻温度传感器、热敏电阻和需要用到恒定电流偏置的传感器。电流源输出端可以通过 IMUX 寄存器中的 IMUX1[3:0]和 IMUX2[3:0]位配置到任意的模拟输入端。电流源输出电流幅度可以通过 IMGA 寄存器中的 IMAG1[3:0]和 IMAG2[3:0]来进行配置。两个电流源的电流幅度可以从 50 μA 到 3000 μA 中独立选择。详细信息可以在寄存器映射中查看。

在使用片内基准时，需要将电流源开启。通过将两个电流源配置到同一输出端，电流幅度可以被配置到最大两倍额定输出值，或者其中一个中间值。考虑到需要驱动电阻负载，引脚的电压值需要在手册规定电压范围内，否则电流精度会降低。

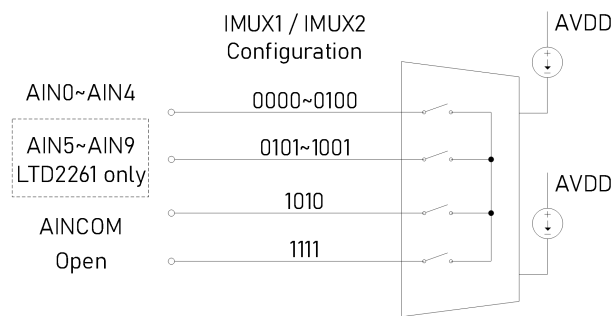


图 10 电流源配置

11.7. 通用输入输出端口 (GPIOs)

器件一共提供了 4 个通用输入输出通道，GPIO0 到 GPIO3，通过多路选择器配置到模拟输入端 AIN2 到 AIN5。GPIO 的输出电压为 AVDD 和 AVSS。GPIO 的数据被储存在 MODE3 寄存器中的 GPIO_DAT 位中，可读写。MODE2 寄存器中的 GPIO_CON[3:0]位用来配置 GPIO 对应的模拟输入口，“1”表示已连接，“0”表示断开。GPIO_DIR 位用来将 GPIO 配置成输入或者输出，“1”作为输入，“0”作为输出。需要注意的是，当 GPIO 被配置为输出时，输出的电平状态为之前写入的电平状态而不是实际引脚的电压状态。这四个 GPIO 口与 AC 激励功能复用，当 AC 激励开启的时候，GPIO 寄存器中存储的电平状态会被无视。

11.8. 过采样

器件采用了过采样原理提高 ADC 的噪声性能。通过过采样将 ADC 的量化噪声整形到高的频带，再通过数字滤波器滤除带外的噪声来减少总的量化噪声。再通过数字滤波器进行数据抽取来恢复转换速率。

11.9. 调制器

器件使用了一个固有稳定 4 阶 2+2 流水线式 Δ - Σ 调制器。调制器以 $f_{CLK}/8$ 的采样率采集被 PGA 放大后的信号，并参考基准电压转换成 0-1 数据流。调制器将量化噪声再整形到更高频带，并通过数字滤波器滤除。

11.10. 数字滤波器

再模拟信号被调制并转换成 0-1 数据流之后，数字滤波器进行接受、滤波和抽取来实现高性能数据转换。通过切换滤波器类型，用户可以在转换精度、数据转换速率和工频陷波等功能性能之间权衡。

数据滤波器可以在 sinc 模式和 FIR 模式之间选择。在 sinc 模式下，可以通过选择 sinc 滤波器阶数来选择 2.5 SPS 到 40k SPS 的数据转换速率和相应的滤波效率。在 FIR 模式下，器件提供了 50/60Hz 的同步工频陷波，并可以单周期模式下产生 2.5 SPS 到 20 SPS 的转换速率。数字滤波器构成见图 11。

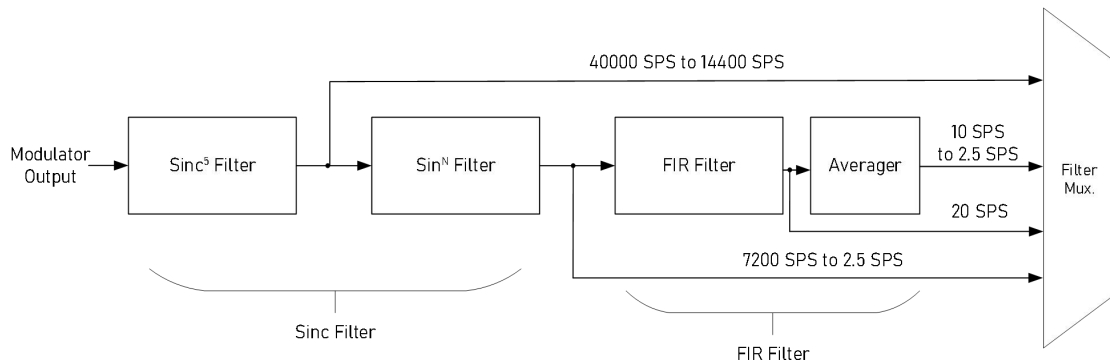


图 11 数字滤波器模块

12. 寄存器映射

LTD2261 共有 19 个单字节寄存器来组成寄存器映射，通过配置这些寄存器来实现对应的功能。寄存器的读写操作可以通过 RREG 和 WREG 指令来实现。每个指令每次只能操作单个寄存器。器件上电或者复位时，所有的寄存器都会被复位到默认值。在完成配置某些寄存器后，会强制器件重新开始新的 AD 转换流程。

写寄存器操作可以通过 UNLOCK 和 LOCK 指令进行启用或者不启用，默认为启用。

表格 4 寄存器映射

Addr.	Name	Default value	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
00h	ID	xxh	DEV_ID[3:0]				REV_ID[3:0]			
01h	STATUS	01h	LOCK	CRCERR	PGAL_AL M	PGAH_AL M	REFL_AL M	DRDY	CLOCK	RESET
02h	MODE0	24h	DR[4:0]				FILTER[2:0]			
03h	MODE1	01h	0	CHOP[1:0]		CONVRT	DELAY[3:0]			
04h	MODE2	00h	GPIO_CON[3:0]				GPIO_DIR[3:0]			
05h	MODE3	00h	PWDN	STATENB	CRCENB	SPITIM	GPIO_DAT[3:0]			
06h	REF	05h	0	0	0	REFENB	RMUXP[1:0]		RMUXN[1:0]	

07h	OFCAL0	00h						OFC[7:0]
08h	OFCAL1	00h						OFC[15:8]
09h	OFCAL2	00h						OFC[23:16]
0Ah	FSCAL0	00h						FSC[7:0]
0Bh	FSCAL1	00h						FSC[15:8]
0Ch	FSCAL2	40h						FSC[23:16]
0Dh	IMUX	FFh	IMUX2[3:0]			IMUX1[3:0]		
0Eh	IMAG	00h	IMAG2[3:0]			IMAG1[3:0]		
0Fh	RESERVED	00h						00h
10h	PGA	00h	BYPASS	0	0	0	0	GAIN[2:0]
11h	INPMUX	FFh	MUXP[3:0]			MUXN[3:0]		
12h	INPBIAS	00h	0	0	0	VBIAS	BOCSP	BOCS[2:0]

12.1. 寄存器描述

12.1.1. 身份识别寄存器（地址 = 00h）

身份识别寄存器

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DEV_ID[3:0]			REV_ID[3:0]				
R-xh	R-xh	R-xh	R-xh	R-xh	R-xh	R-xh	R-xh

R/W: Read/Write; R: Read only; -n = default value

Bit[7:4]	ID[3:0] 1000: LTD2261, LTD2261B 1010: LTD2260B
Bit[3:0]	Revision ID Device dependent

12.1.2. STATUS: 状态寄存器（地址 = 01h）

状态寄存器

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LOCK	CRCERR	PGAL_ALM	PGAH_ALM	REFL_ALM	DRDY	CLOCK	RESET
R-0h	R/W-0h	R-0h	R-0h	R-0h	R-0h	R-xh	R/W-1h

R/W: Read/Write; R: Read only; -n = default value

Bit[7]	Register Lock Status Indicates register lock status. Register writes are locked by the LOCK command and unlocked by the UNLOCK command. 0: Register write not locked (default) 1: Register write locked
Bit[6]	CRC Error Indicates that a CRC error is detected by the ADC. The CRC error bit remains set until cleared by the user. 0: No CRC error 1: CRC error
Bit[5]	PGA Low Alarm Indicates PGA output voltage is below the low limit. The alarm resets at the start of conversion cycles. 0: No Alarm 1: Alarm
Bit[4]	PGA High Alarm Indicates PGA output voltage is above the high limit. The alarm resets at the start of conversion cycles. 0: No Alarm 1: Alarm

Bit[3]	Reference Low Alarm Indicates reference voltage is below the low limit. The alarm resets at the start of conversion cycles. 0: No Alarm 1: Alarm
Bit[2]	Data Ready Indicates conversion data ready. 0: Conversion data not new since the previous read operation 1: Conversion data new since the previous read operation
Bit[1]	Clock Indicates internal or external clock mode. The ADC automatically selects the clock source. 0: ADC clock is internal 1: ADC clock is external
Bit[0]	Reset Indicates ADC reset. Clear the bit to detect next device reset. 0: No reset 1: Reset (default)

12.1.3. MODE0: 模式寄存器 0 (地址 = 02h)

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
		DR[4:0]				FILTER[2:0]	
		R/W-4h				R/W-4h	

模式寄存器 0

R/W: Read/Write; R: Read only; -n = default value

Bit[7:3]	Data Rate Select the ADC data rate. 00000: 2.5 SPS 00001: 5 SPS 00010: 10 SPS 00011: 16.6 SPS 00100: 20 SPS (default) 00101: 50 SPS 00110: 60 SPS 00111: 100 SPS 01000: 400 SPS 01001: 1200 SPS 01010: 2400 SPS 01011: 4800 SPS 01100: 7200 SPS 01101: 14400 SPS 01110: 19200 SPS 01111: 25600 SPS 10000 - 11111: 40000 SPS ($f_{CLK} = 10.24$ MHz)
Bit[2:0]	Digital Filter Select the digital filter mode. 000: sinc1 001: sinc2 010: sinc3 011: sinc4 100: FIR (default) 101: Reserved 110: Reserved 111: Reserved

12.1.4. MODE1: 模式寄存器 1 (地址 = 03h)

模式寄存器 1

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	CHOP[1:0]		CONVRT		DELAY[3:0]		
R/W-0h	R/W-0h		R/W-0h		R/W-1h		

R/W: Read/Write; R: Read only; -n = default value

Bit[7]	Reserved Always write 0
Bit[6:5]	Chop and AC-Excitation Modes Select the Chop and AC-excitation modes. 00: Normal mode (default) 01: Chop mode 10: 2-wire AC-excitation mode (LTD2261 only) 11: 4-wire AC-excitation mode (LTD2261 only)
Bit[4]	ADC Conversion Mode Select the ADC conversion mode. 0: Continuous conversions (default) 1: Pulse (one shot) conversion
Bit[3:0]	Conversion Start Delay Program the time delay at conversion start. Delay values are with $f_{CLK} = 7.3728$ MHz. 0000: 0 μ s (not for 25600 SPS or 40000 SPS operation) 0001: 50 μ s (default) 0010: 59 μ s 0011: 67 μ s 0100: 85 μ s 0101: 119 μ s 0110: 189 μ s 0111: 328 μ s 1000: 605 μ s 1001: 1.16 ms 1010: 2.27 ms 1011: 4.49 ms 1100: 8.93 ms 1101: 17.8 ms 1110: Reserved 1111: Reserved

12.1.5. MODE2: 模式寄存器 2 (地址 = 04h)

模式寄存器 2

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
GPIO_CON[3:0]				GPIO_DIR[3:0]			
R/W-0h				R/W-0h			

R/W: Read/Write; R: Read only; -n = default value

Bit[7]	GPIO3 Pin Connection Connect GPIO3 to analog input AIN5. 0: GPIO3 not connected to AIN5 (default) 1: GPIO3 connected to AIN5
Bit[6]	GPIO2 Pin Connection Connect GPIO2 to analog input AIN4. 0: GPIO2 not connected to AIN4 (default) 1: GPIO2 connected to AIN4
Bit[5]	GPIO1 Pin Connection

	Connect GPIO1 to analog input AIN3. 0: GPIO1 not connected to AIN3 (default) 1: GPIO1 connected to AIN3
Bit[4]	GPIO0 Pin Connection Connect GPIO0 to analog input AIN2 0: GPIO0 not connected to AIN2 (default) 1: GPIO0 connected to AIN2
Bit[3]	GPIO3 Pin Direction Configure GPIO3 as a GPIO input or GPIO output on AIN5. 0: GPIO3 is an output (default) 1: GPIO3 is an input
Bit[2]	GPIO2 Pin Direction Configure GPIO2 as a GPIO input or GPIO output on AIN4. 0: GPIO2 is an output (default) 1: GPIO2 is an input
Bit[1]	GPIO1 Pin Direction Configure GPIO1 as a GPIO input or GPIO output on AIN3. 0: GPIO1 is an output (default) 1: GPIO1 is an input
Bit[0]	GPIO0 Pin Direction Configure GPIO0 as a GPIO input or GPIO output on AIN2. 0: GPIO0 is an output (default) 1: GPIO0 is an input

12.1.6. MODE3: 模式寄存器 3 (地址 = 05h)

模式寄存器 3

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWDN	STATENB	CRCENB	SPITIM		GPIO_DAT[3:0]		
R/W-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h		

R/W: Read/Write; R: Read only; -n = default value

Bit[7]	Software Power-down Mode Select the software power-down mode. 0: Normal mode (default) 1: Software power-down mode
Bit[6]	STATUS Byte Enable the Status byte for the conversion data read operation. 0: No Status byte (default) 1: Status byte enabled
Bit[5]	CRC Data Verification Enable CRC data verification. 0: No CRC (default) 1: CRC enabled
Bit[4]	SPI Auto-Reset Function Enable the SPI auto-reset function. 0: SPI auto-reset disabled (default) 1: SPI auto-reset enabled
Bit[3]	GPIO3 Data Read or write the GPIO3 data on AIN5. 0: GPIO3 is low (default) 1: GPIO3 is high
Bit[2]	GPIO2 Data Read or write the GPIO2 data on AIN4. 0: GPIO2 is low (default) 1: GPIO2 is high

Bit[1]	GPIO1 Data Read or write the GPIO1 data on AIN3. 0: GPIO1 is low (default) 1: GPIO1 is high
Bit[0]	GPIO0 Data Read or write the GPIO1 data on AIN3. 0: GPIO0 is low (default) 1: GPIO0 is high

12.1.7. REF: 基准配置寄存器（地址 = 06h）

基准配置寄存器

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	REFENB	RMUXP[1:0]		RMUXN[1:0]	
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-1h		R/W-1h	

R/W: Read/Write; R: Read only; -n = default value

Bit[7:5]	Reserved Always write 0h
Bit[4]	Internal Reference Enable Enable the internal reference. 0: Internal reference disabled (default) 1: Internal reference enabled
Bit[3:2]	Reference Positive Input Select the positive reference input. 00: Internal reference positive 01: AVDD internal (default) 10: AIN0 external 11: AIN2 external (LTD2261 only)
Bit[1:0]	Reference Negative Input Select the negative reference input. 00: Internal reference negative 01: AVSS internal (default) 10: AIN1 external 11: AIN3 external (LTD2261 only)

12.1.8. OFCALx: 失调电压校准寄存器（地址 = 07h、08h、09h）

失调电压校准寄存器

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OFC[7:0]							
R/W-00h							
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OFC[15:8]							
R/W-00h							
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OFC[23:16]							
R/W-00h							

R/W: Read/Write; R: Read only; -n = default value

12.1.9. FSCALx: 满幅度校准寄存器（地址 = 0Ah、0Bh、0Ch）

满幅度校准寄存器

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FSC[7:0]							
R/W-00h							
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FSC[15:8]							
R/W-00h							
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FSC[23:16]							
R/W-40h							

R/W: Read/Write; R: Read only; -n = default value

12.1.10. IMUX: 电流源选择寄存器（地址 = 0Dh）

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IMUX2[3:0]				IMUX1[3:0]			
R/W-Fh				R/W-Fh			

电流源选择寄存器

R/W: Read/Write; R: Read only; -n = default value

Bit[7:4]

IDAC2 Output Multiplexer

Select the IDAC2 analog input pin connection.

0000: AIN0
 0001: AIN1
 0010: AIN2
 0011: AIN3
 0100: AIN4
 0101: AIN5 (LTD2261 only)
 0110: AIN6 (LTD2261 only)
 0111: AIN7 (LTD2261 only)
 1000: AIN8 (LTD2261 only)
 1001: AIN9 (LTD2261 only)
 1010: AINCOM
 1011: No connection
 1100: No connection
 1101: No connection
 1110: No connection
 1111: No connection (default)

Bit[3:0]

IDAC1 Output Multiplexer

Select the IDAC1 analog input pin connection.

0000: AIN0
 0001: AIN1
 0010: AIN2
 0011: AIN3
 0100: AIN4
 0101: AIN5 (LTD2261 only)
 0110: AIN6 (LTD2261 only)
 0111: AIN7 (LTD2261 only)
 1000: AIN8 (LTD2261 only)
 1001: AIN9 (LTD2261 only)
 1010: AINCOM
 1011: No connection
 1100: No connection
 1101: No connection
 1110: No connection
 1111: No connection (default)

12.1.11. IMAG: 电流源幅度寄存器 (地址 = 0Eh)

电流源幅度寄存器

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IMAG2[3:0]				IMAG1[3:0]			
R/W-0h				R/W-0h			

R/W: Read/Write; R: Read only; -n = default value

Bit[7:4]

IDAC2 Current Magnitude

Select the magnitude of current source IDAC2.

0000: Off (default)

0001: 50 μ A0010: 100 μ A0011: 250 μ A0100: 500 μ A0101: 750 μ A0110: 1000 μ A0111: 1500 μ A1000: 2000 μ A1001: 2500 μ A1010: 3000 μ A

1011: Off

1100: Off

1101: Off

1110: Off

1111: Off

Bit[3:0]

IDAC1 Current Magnitude

Select the magnitude of current source IDAC1.

0000: Off (default)

0001: 50 μ A0010: 100 μ A0011: 250 μ A0100: 500 μ A0101: 750 μ A0110: 1000 μ A0111: 1500 μ A1000: 2000 μ A1001: 2500 μ A1010: 3000 μ A

1011: Off

1100: Off

1101: Off

1110: Off

1111: Off

12.1.12. RESERVED: 预留寄存器 (地址 = 0Fh)

预留寄存器

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	0	0	0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

R/W: Read/Write; R: Read only; -n = default value

12.1.13. PGA: PGA 配置寄存器 1 (地址 = 10h)

PGA 配置寄存器 1

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
BYPASS	0	0	0	0		GAIN[2:0]	
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h	

R/W: Read/Write; R: Read only; -n = default value

Bit[7]	PGA Bypass Mode Select the PGA mode. 0: PGA mode (default) 1: PGA bypass
Bit[6:3]	Reserved Always write 0
Bit[2:0]	Gain Select the gain. 000: 1 (default) 001: 2 010: 4 011: 8 100: 16 101: 32 110: 64 111: 128

12.1.14. INPMUX: 输入配置寄存器 (地址 = 11h)

输入配置寄存器 1

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MUXP[3:0]				MUXN[3:0]			
R/W-Fh				R/W-Fh			

R/W: Read/Write; R: Read only; -n = default value

Bit[7]	Positive Input Multiplexer Select the positive multiplexer input. 0000: AINCOM 0001: AIN0 0010: AIN1 0011: AIN2 0100: AIN3 0101: AIN4 0110: AIN5 (LTD2261 only) 0111: AIN6 (LTD3261 only) 1000: AIN7 (LTD2261 only) 1001: AIN8 (LTD2261 only) 1010: AIN9 (LTD3261 only) 1011: Internal temperature sensor positive 1100: Internal (AVDD - AVSS) / 4 positive 1101: Internal (DVDD / 4) positive 1110: Inputs open 1111: Internal connection to V _{COM} (default)
Bit[6:3]	Negative Input Multiplexer Select the negative multiplexer input. 0000: AINCOM 0001: AIN0 0010: AIN1 0011: AIN2 0100: AIN3 0101: AIN4 0110: AIN5 (LTD2261 only) 0111: AIN6 (LTD3261 only)

1000: AIN7 (LTD2261 only)
 1001: AIN8 (LTD2261 only)
 1010: AIN9 (LTD3261 only)
 1011: Internal temperature sensor positive
 1100: Internal (AVDD - AVSS) / 4 positive
 1101: Internal (DVDD / 4) positive
 1110: Inputs open
 1111: Internal connection to V_{COM} (default)

12.1.15. INPBIAS: 输入偏置寄存器 (地址 = 12h)

输入偏置寄存器

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	VBIAS	BOCSP		BOCS[2:0]	
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h		R/W-0h	

R/W: Read/Write; R: Read only; -n = default value

Bit[7:5]

Reserved

Always write 0

Bit[4]

VBIAS

Select the VBIAS connection to the AINCOM pin.

0: VBIAS disabled (default)

1: VBIAS enabled

Bit[3]

Burn-Out Current Source Polarity

Select the burn-out current source polarity.

0: Pull-up mode (default)

1: Pull-down mode

Bit[2:0]

Burn-Out Current Source Magnitude

Select the burn-out current source magnitude.

000: Off (default)

001: 50 nA

010: 200 nA

011: 1 μ A

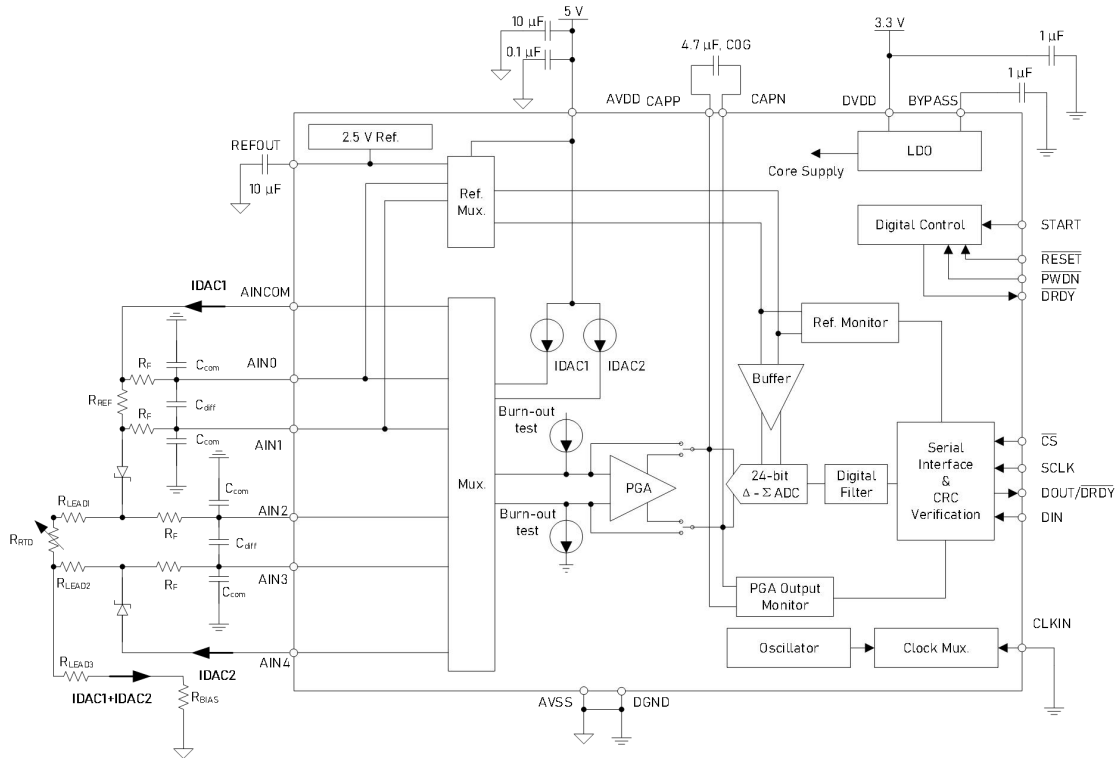
100: 10 μ A

101: Reserved

110: Reserved

111: Reserved

13. 典型应用



典型应用案例：三线法电阻式温度传感器

优势：

- 1、利用 LTD2261 片内的两路高精度独立电流源，实现单芯片高精度测温方案
- 2、金属导线寄生电阻压降补偿，显著降低寄生效应带来的系统测量误差
- 3、比例式测量方案，抵消掉电流源自有噪声与温漂

计算过程：

模拟输入端 AIN1 与 AIN2 的电压：

$$V_{AIN1} = [I_{IDAC1} * (R_{RTD} + R_{LEAD1})] + [(I_{IDAC1} + I_{IDAC2}) * (R_{LEAD3} + R_{BIAS})]$$

$$V_{AIN2} = (I_{IDAC2} * R_{LEAD2}) + [(I_{IDAC1} + I_{IDAC2}) * (R_{LEAD3} + R_{BIAS})]$$

1、差分输入电压：

$$V_{AIN1} - V_{AIN2} = [I_{IDAC1} * (R_{RTD} + R_{LEAD1})] - (I_{IDAC2} * R_{LEAD2})$$

2、LTD2261 两路电流源失配仅 0.1%，可认为 $I_{IDAC1} = I_{IDAC2} = I_{IDAC}$ ，且金属导线等长 $R_{LEAD1} = R_{LEAD2}$ ，则：

$$V_{AIN1} - V_{AIN2} = I_{IDAC} * R_{RTD}$$

$$V_{REF} = I_{IDAC} * R_{REF}$$

3、输出码值 = $2^{23} * Gain * (V_{AIN1} - V_{AIN2}) / V_{REF} = 2^{23} * Gain * R_{RTD} / R_{REF}$